



Politechnika Warszawska
Instytut Informatyki



DYDAKTYCZNY SYSTEM MIKROPROCESOROWY

Podręcznik użytkownika



Warszawa, 1991-2005

Edycja 4 - kwiecień 2005

Praca otrzymała w 1992 roku nagrodę Rektora Politechniki Warszawskiej: II stopnia dydaktyczną zespołową.

2. "Monitor szyny sytemu DSM (BM01) wersja 2.0. Dokumentacja techniczna." IIPW, grudzień 1991r.

mgr inż. Grzegorz Mazur: Z80CPU, 68000, 8051.

mgr Henryk Jeż: 8530, PRO2, PRO3.

technicy Romuald Siwik, Krzysztof Wacławski: wyżej wymienione pakiety, kasety DSM, przewody montażowe.

Kierowanie realizacją projektu: mgr inż. Marek Pawłowski.



Spis treści

<u>Opis sytemu</u>	<u>1-1</u>
<u>1. Wprowadzenie</u>	<u>1-1</u>
<u>2. Architektura systemu</u>	<u>1-1</u>
<u>3. Szyna systemu</u>	<u>1-1</u>
<u>4. Konstrukcja mechaniczna</u>	<u>1-3</u>
<u>5. Budowa konfiguracji prototypowych</u>	<u>1-3</u>
<u>Część stała pakietów</u>	<u>2-1</u>
<u>Pakiet PRO1</u>	<u>3-1</u>
<u>Pakiet PRO2</u>	<u>4-1</u>
<u>Pakiet PRO3</u>	<u>5-1</u>
<u>Pakiety MEM8 i MEM16</u>	<u>6-1</u>
<u>Pakiet Z80CPU</u>	<u>7-1</u>
<u>Pakiet 68000</u>	<u>8-1</u>
<u>Pakiet 8051</u>	<u>9-1</u>
<u>Pakiet 8237</u>	<u>10-1</u>
<u>Pakiet 8250</u>	<u>11-1</u>
<u>Pakiet 8254</u>	<u>12-1</u>
<u>Pakiet 8255</u>	<u>13-1</u>
<u>Pakiet 8259</u>	<u>14-1</u>
<u>Pakiet 8530</u>	<u>15-1</u>
<u>Pakiet Z80PIO</u>	<u>16-1</u>
<u>Pakiet Z80DMA</u>	<u>17-1</u>
<u>Pakiet Z80CTC</u>	<u>18-1</u>
<u>Pakiet Z80DART</u>	<u>19-1</u>
<u>Pakiet BUSX</u>	<u>20-1</u>
<u>Pakiet BM01</u>	<u>21-1</u>
<u>Plater kasety</u>	<u>22-1</u>
<u>Literatura</u>	<u>23-1</u>

Oznaczenia pakietów DSM.

Napisy na płytach czołowych pakietów: Seria - u dołu,
Jednostka - u góry.

Pakiet	Seria	Jednostka
PRO1	PRO	P01
PRO2	PRO	P02
PRO3	PRO	P03
MEM8	MEM	D08
MEM16	MEM	D16
Z80CPU	Z80	CPU
68000	M68	68K
8051	I8X	8051
8237	I8X	8237
8250	I8X ¹⁾	8250
8254	I8X	8254
8255	I8X	8255
8259	I8X	8259
8530	Z80	8530
Z80PIO	Z80	PIO
Z80DMA	Z80	DMA
Z80CTC	Z80	CTC
Z80DART	Z80	DART
BUSX	DSM	BUSX
BM01	DSM	BM01

¹⁾ - Układ 8250 nie jest produkowany przez firmę Intel.

Opis sytemu

1. Wprowadzenie

System DSM jest przeznaczony do konstruowania prototypów urządzeń mikroprocesorowych w celach doświadczalnych i dydaktycznych. Pozwala on na budowę prototypów urządzeń o złożoności nie przekraczającej jednego pakietu, co odpowiada kilku - kilkudziesięciu układom scalonym. Pojedynczy system DSM umożliwia budowę mikrokomputera jednoprocessorowego, chociaż nie jest wykluczona możliwość tworzenia na bazie DSM systemów wieloprocessorowych.

W systemie mogą zostać użyte mikroprocesory o szerokości szyny danych do 32 bitów, dzięki czemu mogą być budowane prototypy mikrokomputerów 32-bitowych o dużej mocy przetwarzania.

Prowadzenie połączeń w systemie DSM odbywa się na poziomie układów, co umożliwia zastosowanie systemu do budowy prototypów będących dokładnymi odpowiednikami projektowanych urządzeń. Jest to podstawowa cecha odróżniająca system DSM od innych modułowych systemów mikroprocesorowych o podobnych zastosowaniach. Konstruowanie na poziomie układowym stanowi również podstawowy walor dydaktyczny systemu, gdyż pozwala skoncentrować uwagę na właściwym zagadnieniu projektowym, a nie na rozpoznaniu funkcjonowania gotowych modułów.

2. Architektura systemu

System DSM jest systemem modułowym o regularnej strukturze połączeń. Połączenia pomiędzy modułami są realizowane za pośrednictwem biernej szyny równoległej, łączącej wszystkie moduły systemu. W systemie występują moduły trzech typów: czynne, bierne i diagnostyczne.

2.1. Moduły czynne

Moduły czynne są to takie moduły, które są zdolne do inicjowania transmisji na szynie systemu, a więc mogą ustawiać stan szyny adresowej i linie sterowania transmisją. Są to głównie moduły zawierające procesory i sterowniki bezpośredniego dostępu do pamięci. Moduły czynne określają standard logiczny szyny systemu - szerokość szyny adresowej i danych oraz rozmieszczenie i interpretację sygnałów sterujących transmisją.

2.2. Moduły bierne

Moduły bierne odpowiadają na cykle transmisji inicjowane przez moduły czynne. Są to moduły zawierające układy pamięci oraz sterowniki urządzeń wejścia-wyjścia. Poszczególne moduły bierne mogą być wykonane jako uniwersalne, lub mogą być dostosowane do współpracy z określonym modułem czynnym. W pierwszym przypadku dekodowanie adresów oraz doprowadzenie sygnałów sterowania transmisją leży w gestii użytkownika; w drugim - wszystkie (lub prawie wszystkie) połączenia są zrealizowane w postaci ścieżek obwodu drukowanego.

2.3. Moduły diagnostyczne

Moduły tego typu realizują w systemie funkcje diagnostyczne. Do takich funkcji należą:

- inicjowanie pracy systemu,
- sterowanie pracą krokową procesora,
- monitorowanie stanu szyny.

Zakres funkcji realizowanych przez moduły diagnostyczne nie jest sztywno określony, a sposób ich realizacji jest uzależniony od konstrukcji zarówno modułu diagnostycznego, jak i zastosowanego w systemie modułu procesora i innych modułów czynnych.

3. Szyna systemu

Struktura szyny systemu nie jest zgodna z żadnym z uznanych standardów światowych. W trakcie projektowania systemu uznano, że szyna powinna pozwalać na realizację połączeń na poziomie międzyukładowym. Założenie takie implikuje wprost związanie standardu logicznego szyny z zastosowaną w systemie rodziną układów mikroprocesorowych. Ponieważ równocześnie założono, że system powinien umożliwiać wykorzystanie mikroprocesorów różnych rodzin, w konsekwencji powstała koncepcja "słabej definicji" szyny, pozwalającej na elastyczne dostosowanie definicji szyny do układów zastosowanych w konkretnej konfiguracji systemu.

Przyjęta specyfikacja szyny określa cechy szyny systemu w taki sposób, aby możliwe było zaprojektowanie szeregu modułów systemu z układami różnych rodzin, mogących współpracować ze sobą w wielu konfiguracjach.

3.1. Definicja linii szyny

Wśród sygnałów szyny systemu wyróżnione zostały następujące grupy linii:

- linie zasilania: GND, Vcc, V+, V-,
- linie diagnostyczne: -RESET, CLK, -SMODE, -STEP,
- linie adresu: A0÷A23,
- linie danych: D0÷D31,
- trójstanowe linie sterowania: T0÷T7,
- linie typu otwarty kolektor: OC0÷OC7,
- linie definiowane przez użytkownika: U0÷U3,
- linie o połączeniu łańcuchowym: PCI, PCO.

Poniżej podano definicję poszczególnych linii szyny systemu.

GND

- linie masy.

VCC

- linie zasilania +5V.

V+

- linia zasilania +12V.

V-

- linia zasilania -12V.

-RESET

- linia inicjacji działania systemu, typu otwarty kolektor, aktywna poziomem niskim.

CLK

- linia sygnału synchronizującego procesora, dwustanowa. Sposób generowania i wykorzystanie tego sygnału określa użytkownik. Funkcja sygnału CLK w systemie nie jest określona.

-SMODE

- linia włączenia trybu pracy krokowej procesora, typu otwarty kolektor, aktywna poziomem niskim. Zaleca się wyposażanie modułów z procesorami posiadającymi mechanizm pracy krokowej w układy umożliwiające wykorzystanie tego trybu pracy. Implementacja układu pracy krokowej w module procesora jest uzależniona od decyzji projektanta modułu i nie jest niezbędna.

-STEP

- linia zezwolenia na zakończenie cyklu pracy krokowej, typu otwarty kolektor, aktywna zboczem opadającym. Definicja cyklu pracy krokowej zależy od decyzji projektanta modułu. W typowym przypadku może to być cykl transmisji na szynie.

A0÷A15

- 16-bitowa, trójstanowa szyna adresowa.

A16÷A23

- szyna bardziej znaczącej części adresu, trójstanowa. Implementacja tej części szyny jest opcjonalna. Jeżeli linie te nie zostaną użyte do przesyłania adresu, ich przeznaczenie jest definiowane przez użytkownika.

D0÷D7

- 8-bitowa, trójstanowa szyna danych.

D8÷D15

- wraz z liniami D0÷D7 linie te stanowią 16-bitową, trójstanową szynę danych.

D16÷D31

- wraz z liniami D0÷D15 linie te stanowią 32-bitową, trójstanową szynę danych. Jeżeli linie te nie zostaną użyte do przesyłania danych, ich przeznaczenie jest definiowane przez użytkownika.

T0÷T7

- trójstanowe linie sterowania transmisją, sterowane przez moduł aktywny. Dla utrzymania jednolitości systemu wskazane jest definiowanie znaczenia linii zgodnie z konwencją podaną w rozdziale 5.4.

OC0÷OC7

- linie typu otwarty kolektor, wykorzystywane głównie jako wejścia modułu czynnego, sterowane przez dowolny moduł na szynie. Dla utrzymania jednolitości systemu wskazane jest definiowanie znaczenia linii zgodnie z konwencją podaną w rozdziale 5.4.

U0÷U3

- linie pozostawione do dyspozycji użytkownika, bez jakiegokolwiek definicji w systemie.

PCI, PCO

- linie te łączą pakiety systemu w łańcuch. Mogą one być wykorzystane przez użytkownika do implementacji łańcuchowego układu arbitrażu szyny lub dla potrzeb systemu przerwań. PCI jest linią wejściową i łączy się z linią wyjściową PCO modułu sąsiedniego z prawej strony. Moduł umieszczony przy prawym boku kasety ma podłączoną "1" do linii PCI (przez rezystor 1k dołączony do +5V).

3.2. Rozmieszczenie linii na łączówce szyny systemu

Układ linii szyny na łączówce został określony w taki sposób, aby ułatwić projektowanie obwodów drukowanych dla poszczególnych pakietów systemu oraz aby zminimalizować prawdopodobieństwo uszkodzenia elektrycznego modułów w czasie pracy z systemem. Rozmieszczenie linii sygnałowych na łączówce przedstawia tabela.

Linie masy zostały umieszczone na sześciu zewnętrznych końcówkach łączówek w celu uniknięcia uszkodzenia pakietu w przypadku próby jego włożenia do / wyjęcia z kasety systemu przy włączonym zasilaniu. Linie zasilania VCC sąsiadują z liniami masy i zajmują kolejnych sześć końcówek łączówek, co ułatwia prowadzenie ścieżek zasilania na pakietach.

Linie zasilania V+ i V- zostały umieszczone w taki sposób, aby ich ewentualne zwarcie z liniami sąsiednimi spowodowało jak najmniejsze uszkodzenia w systemie. Linie te sąsiadują z liniami zasilania VCC oraz liniami łańcuchowymi, dzięki czemu zasięg skutków zwarcia zostaje ograniczony do dwóch sąsiadujących ze sobą pakietów.

Pozostałe linie szyny zostały zgrupowane na łączówce w taki sposób, aby uprościć projektowanie połączeń drukowanych. Przy budowie pakietów z szynami danych i adresu o szerokości nie przekraczającej 16 bitów możliwa jest całkowita rezygnacja z wykorzystania środkowego rzędu wyprowadzeń łączówki.

Rozmieszczenie linii na łączówce szyny

Nr	Nazwa	Nr	Nazwa	Nr	Nazwa
a1	GND	b1	GND	c1	GND
a2	VCC	b2	VCC	c2	VCC
a3	D0	b3	D16	c3	A0
a4	D1	b4	D17	c4	A1
a5	D2	b5	D18	c5	A2
a6	D3	b6	D19	c6	A3
a7	D4	b7	D20	c7	A4
a8	D5	b8	D21	c8	A5
a9	D6	b9	D22	c9	A6
a10	D7	b10	D23	c10	A7
a11	D8	b11	D24	c11	A8
a12	D9	b12	D25	c12	A9
a13	D10	b13	D26	c13	A10
a14	D11	b14	D27	c14	A11
a15	D12	b15	D28	c15	A12
a16	D13	b16	D29	c16	A13
a17	D14	b17	D30	c17	A14
a18	D15	b18	D31	c18	A15
a19	OC0	b19	A16	c19	T0
a20	OC1	b20	A17	c20	T1
a21	OC2	b21	A18	c21	T2
a22	OC3	b22	A19	c22	T3
a23	OC4	b23	A20	c23	T4
a24	OC5	b24	A21	c24	T5
a25	OC6	b25	A22	c25	T6
a26	OC7	b26	A23	c26	T7
a27	-SMODE	b27	U0	c27	CLK
a28	-STEP	b28	U1	c28	-RESET
a29	PCO	b29	U2	c29	PCI
a30	V-	b30	U3	c30	V+
a31	VCC	b31	VCC	c31	VCC
a32	GND	b32	GND	c32	GND

3.3. Parametry elektryczne szyny

Ze względu na przewidziany zakres zastosowań systemu standard elektryczny szyny nie jest ściśle zdefiniowany. Zakłada się, że poziomy logiczne są zgodne z poziomami TTL. Podstawową rodzinę układów przewidzianą do zastosowania w systemie stanowią układy CMOS serii HCT, o poziomach logicznych zgodnych z poziomami TTL. Obciążalność linii szyny jest również dobierana przez użytkownika. Zalecane jest buforowanie sygnałów wyjściowych modułów czynnych przez układy serii HCT (typu 74245, 74541 lub podobne). *Moduły powinny być wkładane do i wyjmowane z kasety przy wyłączonym zasilaniu (nie są typu "hot plug" czy "live insertion").*

4. Konstrukcja mechaniczna

Poszczególne moduły systemu mają postać pakietów drukowanych o formacie pojedynczej eurokarty (3U) - 160 × 100 mm. Pakiety są wyposażone w złącza szufladowe 96-stykowe typu ELTRA 81109602 służące do łączenia pakietów z szyną systemu. Pakiety są umieszczane w odpowiednio okablowanej kasie z wbudowanym zasilaczem dostarczającym stabilizowanych napięć +5V, +12V i -12V.

Korzystanie z systemu wymaga wykonywania połączeń na pakiecie. W tym celu wszystkie sygnały uznane za niezbędne do skonfigurowania pakietu są wyprowadzone na mikrogniazdka. Połączenia konfigurowane przez użytkownika są wykonywane przy użyciu przewodów zakończonych wtyczkami.

Każdy pakiet posiada listwę maskującą, ułatwiającą wkładanie i wyjmowanie pakietu z kasety. Na listwie są zamontowane diodyelektroluminescencyjne, pozwalające na obserwację stanu wybranych sygnałów pakietu oraz gniazdo typu BNC, do którego można podłączyć urządzenie monitorujące lub wytwarzające sygnały (np. oscyloskop, generator). Gniazdo BNC można połączyć z dowolnym punktem na pakiecie. W zależności od funkcji pakietu, na listwie maskującej mogą również być umieszczone inne elementy, np. gniazda szufladowe lub wyświetlacze.

5. Budowa konfiguracji prototypowych

Budowę konfiguracji prototypowych rozpoczyna się od wyboru (lub wykonania) pakietu procesora. Jeżeli moduł procesora wymaga konfiguracji, należy przygotować go w sposób odpowiedni dla danego zastosowania. Moduł procesora jednoznacznie określa definicję szyny systemu. Następnie należy wybrać pozostałe moduły czynne i przystosować je do współpracy z szyną.

Kolejnym krokiem jest dostosowanie do współpracy z procesorem używanych w systemie modułów biernych (pamięć i układy wejścia-wyjścia). W tym celu należy określić ich położenie w przestrzeni adresowej oraz dopasować sygnały sterujące transmisją.

5.1. Zasady budowy modułów czynnych

Przyjęto, że moduł czynny powinien jak najdokładniej odpowiadać pod względem logicznym układowi lub grupie układów tworzących procesor systemu. Zestaw sygnałów na szynie modułu czynnego odpowiada zestawowi sygnałów procesora i określa standard logiczny szyny systemu.

Ze względu na stosunkowo duże w porównaniu z innymi modułami obciążenie wyjść modułów czynnych zalecane jest buforowanie sygnałów w tych modułach. Dodatkowo można w ten sposób zabezpieczyć przed zniszczeniem układy tworzące moduł (zwykle najdroższe z układów w danej konfiguracji systemu).

Jeżeli procesor wykorzystany w module jest wyposażony w możliwość pracy krokowej, wskazana jest implementacja układu pracy krokowej sterowanego przez linie -SMODE i -STEP szyny systemu. Przykłady implementacji takiego układu można znaleźć w opisach modułów procesorów.

5.2. Zasady budowy modułów biernych

Moduł bierny, o ile nie jest dedykowany dla konkretnego typu procesora, powinien być skonstruowany w taki sposób, aby mógł współpracować z dowolnym modułem czynnym. Jednocześnie należy dążyć do tego, aby możliwie uprościć proces konfigurowania modułu biernego do pracy z wybranym procesorem. Ważne jest również zapewnienie dużej elastyczności konfiguracji, podwyższającej walory dydaktyczne modułu i pozwalającej na wykorzystanie go na wiele sposobów (np. możliwość synchronizacji poprzez przerwanie, testowanie stanu i wydłużenie cyklu transmisji).

Złożoność modułu biernego powinna odpowiadać pojedynczemu blokowi funkcjonalnemu mikrokomputera, np. systemowi pamięci EPROM, portowi równoległemu, układowi zegara-licznika, sterownikowi wyświetlacza CRT. Zakłada się, że połączenia z szyną systemu nie są buforowane, o ile nie jest to niezbędne. Buforowanie połączeń zewnętrznych zależy od decyzji projektanta i użytkownika modułu.

Przy projektowaniu dotychczas wykonanych modułów przyjęto, że na stałe poprowadzone będą jedynie połączenia konieczne w sposób oczywisty (np. linie zasilania, linie danych). W wszystkie pozostałe połączenia na pakiecie - w szczególności sygnały sterowania transmisją - są konfigurowane przez użytkownika.

5.3. Wykorzystanie szyny danych

Zakłada się, że urządzenia o szerokości szyny danych równej 8 bitów są dołączone do linii szyny D0÷D7, a urządzenia o szerokości szyny 16 bitów - do linii D0÷D15. Zasady te odpowiadają konwencji adresowania, w której bardziej znaczący bajt jest przechowywany pod wyższym adresem.

W przypadku zastosowania w systemie procesora, używającego odwrotnego schematu adresowania: bardziej znaczący bajt pod niższym adresem (np. 68030) należy odpowiednio połączyć linie danych. Aby umożliwić wykorzystanie istniejących modułów 8-bitowych w pracy z dynamicznie zmienną szerokością szyny, należy w module procesora odwrócić przypisanie poszczególnych bajtów szyny procesora i systemu. W tym celu linie D0÷D7 procesora należy połączyć z liniami D24÷D31 szyny systemu, linie D8÷D15 procesora z D16÷D24 szyny systemu itd. Taka konstrukcja modułu procesora powinna być jednak stosowana tylko wtedy, gdy jest planowane wykorzystanie dynamicznej zmiany szerokości szyny; w przeciwnym razie powoduje ona jedynie utrudnienia przy budowie i uruchamianiu systemu.

5.4. Konwencje wykorzystania linii grupy T i OC

Dla ujednolicenia konstrukcji poszczególnych pakietów systemu pomimo braku ścisłej definicji szyny proponowane jest przyjęcie następującej konwencji dotyczącej wykorzystania poszczególnych linii grupy T i OC.

Część stała pakietów

W celu ułatwienia korzystania z systemu DSM konstrukcja pakietów została do pewnego stopnia ujednolicona. Unifikacja dotyczy zarówno organizacji logicznej, jak też fizycznej struktury połączeń i

Linie T0÷T7

Nr	Typ	Nazwa	Opis
c19	T0	-MRQ -AS	linia wyboru pierwszej przestrzeni adresowej linia ważności adresu
c20	T1	-IORQ	linia wyboru drugiej przestrzeni adresowej linia wyboru typu cyklu transmisji
c21	T2	-READ -DS0	linia strobulująca odczytu linia strobulująca transmisję danych
c22	T3	-WRITE -DS1	linia strobulująca zapisu linia strobulująca transmisję danych
c23	T4	-INTA	linia strobulująca szczególnego typu cyklu szyny linia wyboru trzeciej przestrzeni adresowej potwierdzenie przyjęcia przerwania
c24	T5		dodatkowe informacje o cyklu transmisji lub o stanie procesora
c25	T6		
c26	T7		

Linie OC0÷OC7

Nr	Typ	Nazwa	Opis
a19	OC0	-ACK0 -WAIT	linia potwierdzenia wykonania cyklu transmisji
a20	OC1	-ACK1	linia potwierdzenia wykonania cyklu transmisji
a21	OC2	-BUSRQ	linia żądania przejęcia szyny
a22	OC3	-BUSAK -BDIS	linia potwierdzenia zwolnienia szyny linia deaktywacji buforów szyny modułu czynnego
a23	OC4	-INT0	linia zgłoszenia przerwania o niskim priorytecie
a24	OC5	-INT1	linia zgłoszenia przerwania o niskim priorytecie
a25	OC6	-INT2 -INT	linia zgłoszenia przerwania maskowalnego o wysokim priorytecie
a26	OC7	-INT3 -NMI	linia zgłoszenia przerwania o najwyższym priorytecie linia zgłoszenia przerwania niemaskowalnego

rozmieszczenia elementów na pakiecie (por. schemat logiczny).

Struktura

W skład stałej części pakietów modułów czynnych i biernych wchodzi:

- łączówka szyny systemu (X1A, X1B, X1C),
- łączówki, na które wyprowadzone są wybrane sygnały szyny systemu,
- diody elektroluminescencyjne wraz z buforami i rezystorami,
- gniazdo BNC (typ BNC-50).

Pakiety modułów biernych zawierają dodatkowo blok dekodera, opisany w dalszej części dokumentu.

Na listwie maskującej pakietów umieszczono cztery diody elektroluminescencyjne. Do ich zasilania wykorzystano bramki typu 74HCT04 (U7) oraz rezystory 330 lub 1k (RB1). Dwa inwertery układu 74HCT04 pozostawiono do dyspozycji użytkownika. Mogą one zostać użyte np. do zmiany polaryzacji sygnału, którego stan jest monitorowany przy użyciu diod. Cztery rezystory dołączone do źródła zasilania +5V, są przewidziane do wykorzystania jako źródło sygnału logicznego o wartości 1 lub do realizacji funkcji montażowych.

Układ typu 74HCT04 może w razie potrzeby zostać zastąpiony innym układem o analogicznym rozmieszczeniu wyprowadzeń, jak np. 7407 lub 7417.

Ustalone połączenia z szyną systemu

Następujące sygnały szyny systemu są wyprowadzone na łączówki:

- linie zasilania (+5V) i masy,
- linie adresu A0÷A23,
- linie T0÷T7, OC0÷OC7, U0÷U3,
- linie -RESET, CLK, -SMODE, -STEP, PCI, PCO.

W dokumentacji systemu DSM przy opisie linii sygnałowych stosowane są następujące oznaczenia typu linii: I - wejście, O - wyjście, Z - wysoka impedancja, OC - otwarty kolektor, PWR - zasilanie, X - linia niezdefiniowana.

Rozmieszczenie linii sygnałowych

Łączówka HB-AL grupuje linie adresowe A0÷A15.

Nr	Nazwa	Typ	Układ	Funkcja
1	A0	I/O/Z	X1C	linia adresu
2	A1	I/O/Z	X1C	linia adresu
3	A2	I/O/Z	X1C	linia adresu
4	A3	I/O/Z	X1C	linia adresu
5	A4	I/O/Z	X1C	linia adresu
6	A5	I/O/Z	X1C	linia adresu
7	A6	I/O/Z	X1C	linia adresu
8	A7	I/O/Z	X1C	linia adresu
9	A8	I/O/Z	X1C	linia adresu
10	A9	I/O/Z	X1C	linia adresu
11	A10	I/O/Z	X1C	linia adresu
12	A11	I/O/Z	X1C	linia adresu
13	A12	I/O/Z	X1C	linia adresu
14	A13	I/O/Z	X1C	linia adresu
15	A14	I/O/Z	X1C	linia adresu
16	A15	I/O/Z	X1C	linia adresu

Łączówka HB-AH grupuje linie adresowe A16÷A23 oraz linie U0÷U3.

Nr	Nazwa	Typ	Układ	Funkcja
1	A16	I/O/Z	X1B	linia adresu
2	A17	I/O/Z	X1B	linia adresu
3	A18	I/O/Z	X1B	linia adresu
4	A19	I/O/Z	X1B	linia adresu
5	A20	I/O/Z	X1B	linia adresu
6	A21	I/O/Z	X1B	linia adresu
7	A22	I/O/Z	X1B	linia adresu
8	A23	I/O/Z	X1B	linia adresu
9	U0	X	X1B	linia definiowana przez użytkownika
10	U1	X	X1B	linia definiowana przez użytkownika
11	U2	X	X1B	linia definiowana przez użytkownika
12	U3	X	X1B	linia definiowana przez użytkownika

Łączówka HB-T udostępnia sygnały T0÷T7, CLK, -RESET i PCI.

Nr	Nazwa	Typ	Układ	Funkcja
1	T0	I/O/Z	X1C	trójstanowa linia sterowania
2	T1	I/O/Z	X1C	trójstanowa linia sterowania
3	T2	I/O/Z	X1C	trójstanowa linia sterowania
4	T3	I/O/Z	X1C	trójstanowa linia sterowania
5	T4	I/O/Z	X1C	trójstanowa linia sterowania
6	T5	I/O/Z	X1C	trójstanowa linia sterowania
7	T6	I/O/Z	X1C	trójstanowa linia sterowania
8	T7	I/O/Z	X1C	trójstanowa linia sterowania
9	CLK	I	X1C	linia sygnału synchronizującego
10	-RESET	OC	X1C	linia sygnału inicjacji systemu
11	PCI	I	X1C	linia szyny o połączeniu szeregowym

Łączówka PULL umożliwia wykorzystanie oporników podciągających.

Nr	Nazwa	Typ	Układ	Funkcja
1	PULL1	OC	RB1	"1"
2	PULL2	OC	RB1	"1"
3	PULL3	OC	RB1	"1"
4	PULL4	OC	RB1	"1"

Łączówka HB-OC udostępnia sygnały OC0÷OC7, -SMODE, -STEP i PCO.

Nr	Nazwa	Typ	Układ	Funkcja
1	OC0	OC	X1A	linia sterowania typu otwarty kolektor
2	OC1	OC	X1A	linia sterowania typu otwarty kolektor
3	OC2	OC	X1A	linia sterowania typu otwarty kolektor
4	OC3	OC	X1A	linia sterowania typu otwarty kolektor
5	OC4	OC	X1A	linia sterowania typu otwarty kolektor
6	OC5	OC	X1A	linia sterowania typu otwarty kolektor
7	OC6	OC	X1A	linia sterowania typu otwarty kolektor
8	OC7	OC	X1A	linia sterowania typu otwarty kolektor
9	-SMODE	I	X1A	linia włączenia trybu pracy krokowej
10	-STEP	OC	X1A	linia zakończenia cyklu pracy krokowej
11	PCO	O	X1A	linia szyny o połączeniu szeregowym

Łączówka HD-LED zawiera wejścia inwerterów sterującymi diodami LED, wejścia i wyjścia dwóch inwerterów oraz źródła VCC i GND.

Nr	Nazwa	Typ	Układ	Funkcja
1	.D1	I	HCT04	linia sterowania diodą LED
2	.D2	I	HCT04	linia sterowania diodą LED

3	.D3	I	HCT04	linia sterowania diodą LED
4	.D4	I	HCT04	linia sterowania diodą LED
5	I1	I	HCT04	wejście bufora
6	I2	I	HCT04	wejście bufora
7	O1	O	HCT04	wyjście bufora
8	O2	O	HCT04	wyjście bufora
9	VCC	PWR	-	linia zasilania +5V
10	GND	PWR	-	linia masy

Blok dekodera

Współpraca modułów biernych z szyną systemu wymaga dekodowania adresów, rozpoznawania sygnałów dostępu i wytwarzania sygnałów gotowości. Ponieważ logiczny standard szyny jest określany przez użyty moduł procesora, działanie układów sprzęgających może być w każdym wypadku inne. Blok dekodera zawiera 2 podstawki DIL20 (U1, U2) i 4 podstawki DIL16 (U3, U4, U5, U6) przeznaczone do instalowania układów scalonych realizujących współpracę modułu z szyną. Umieszczone przy ich bokach łączówki umożliwiają wykonywanie indywidualnych połączeń między wyprowadzeniami układów scalonych przy pomocy przewodów. Podstawki te są podłączone do zasilania +5V w sposób standardowy:

DIL16 - wyprowadzenie nr 8 = GND,

wyprowadzenie nr 16 = VCC,

DIL20 - wyprowadzenie nr 10 = GND,

wyprowadzenie nr 20 = VCC.

Przykłady połączeń linii zasilania VCC oraz GND dla układów scalonych w różnych obudowach zostały przedstawione poniżej.

```

1 O 1 16 O VCC
2 O 2 15 O 15
3 O 3 14 O 14
4 O 4 13 O 13
5 O 5 12 O 12
6 O 6 11 O 11
7 O 7 10 O 10
GND O 8 9 O 9

```

Układ w obudowie DIL16 w podstawce DIL16 (standardowe zasilanie), np. 74HCT138.

```

1 O 1 14 O VCC
2 O 2 13 O 15
3 O 3 12 O 14
4 O 4 11 O 13
5 O 5 10 O 12
6 O 6 9 O 11
7 O 7 8 O 10
GND O O 9

```

Układ w obudowie DIL14 w podstawce DIL16 (standardowe zasilanie), np. 74HCT00, dosunięty do góry.

Wymagane połączenie przewodem GND z wyprowadzeniem nr 7 łączówki.

```

1 O O VCC
2 O 1 14 O 15
3 O 2 13 O 14
4 O 3 12 O 13
5 O 4 11 O 12
6 O 5 10 O 11
7 O 6 9 O 10
GND O 7 8 O 9

```

Układ w obudowie DIL14 w podstawce DIL16 (standardowe zasilanie), np. 74HCT00, dosunięty do dołu.

Wymagane połączenie przewodem VCC z wyprowadzeniem nr 15 łączówki.

1 O 1 20 O VCC
 2 O 2 19 O 19
 3 O 3 18 O 18
 4 O 4 17 O 17
 5 O 5 16 O 16
 6 O 6 15 O 15
 7 O 7 14 O 14
 8 O 8 13 O 13
 9 O 9 12 O 12
 GND O 10 11 O 11

1 O O VCC
 2 O 1 16 O 19
 3 O 2 15 O 18
 4 O 3 14 O 17
 5 O 4 13 O 16
 6 O 5 12 O 15
 7 O 6 11 O 14
 8 O 7 10 O 13
 9 O 8 9 O 12
 GND O O 11

1 O 11 10 O VCC
 2 O 12 9 O 19
 3 O 13 8 O 18
 4 O 14 \ / 7 O 17
 5 O 15 X 6 O 16 B D!
 6 O 16 \ / 5 O 15
 7 O 17 4 O 14
 8 O 18 3 O 13
 9 O 19 2 O 12
 GND O 20 1 O 11

Układ w obudowie DIL20 w podstawce DIL20 (standardowe zasilanie), np. 74HCT245.

Układ w obudowie DIL16 w środku podstawki DIL20 (niestandardowe zasilanie), np. 74HCT93.

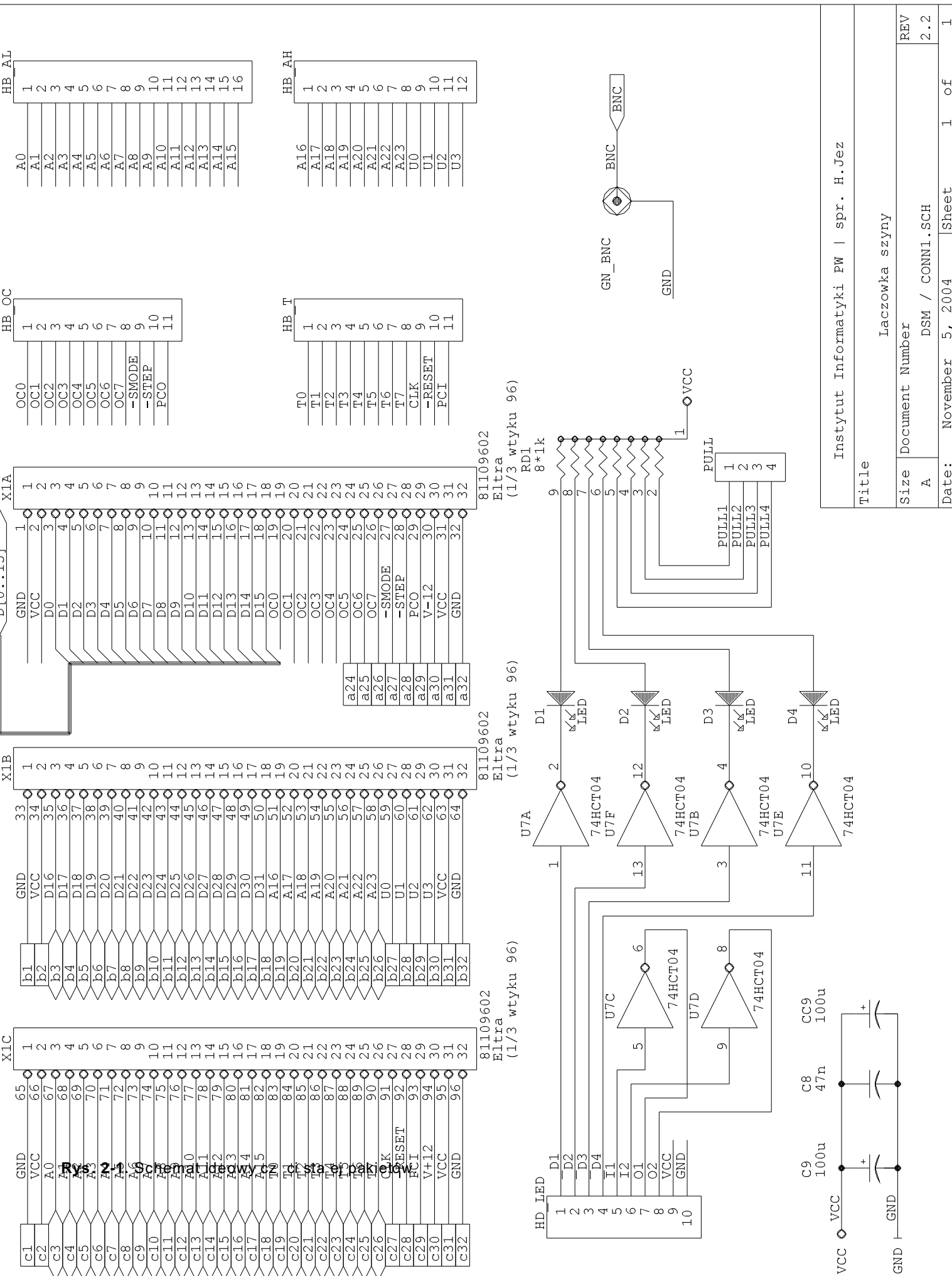
Wymagane dwa połączenia przewodami: GND z wyprowadzeniem nr 13 łączówki, VCC z wyprowadzeniem nr 6 łączówki.

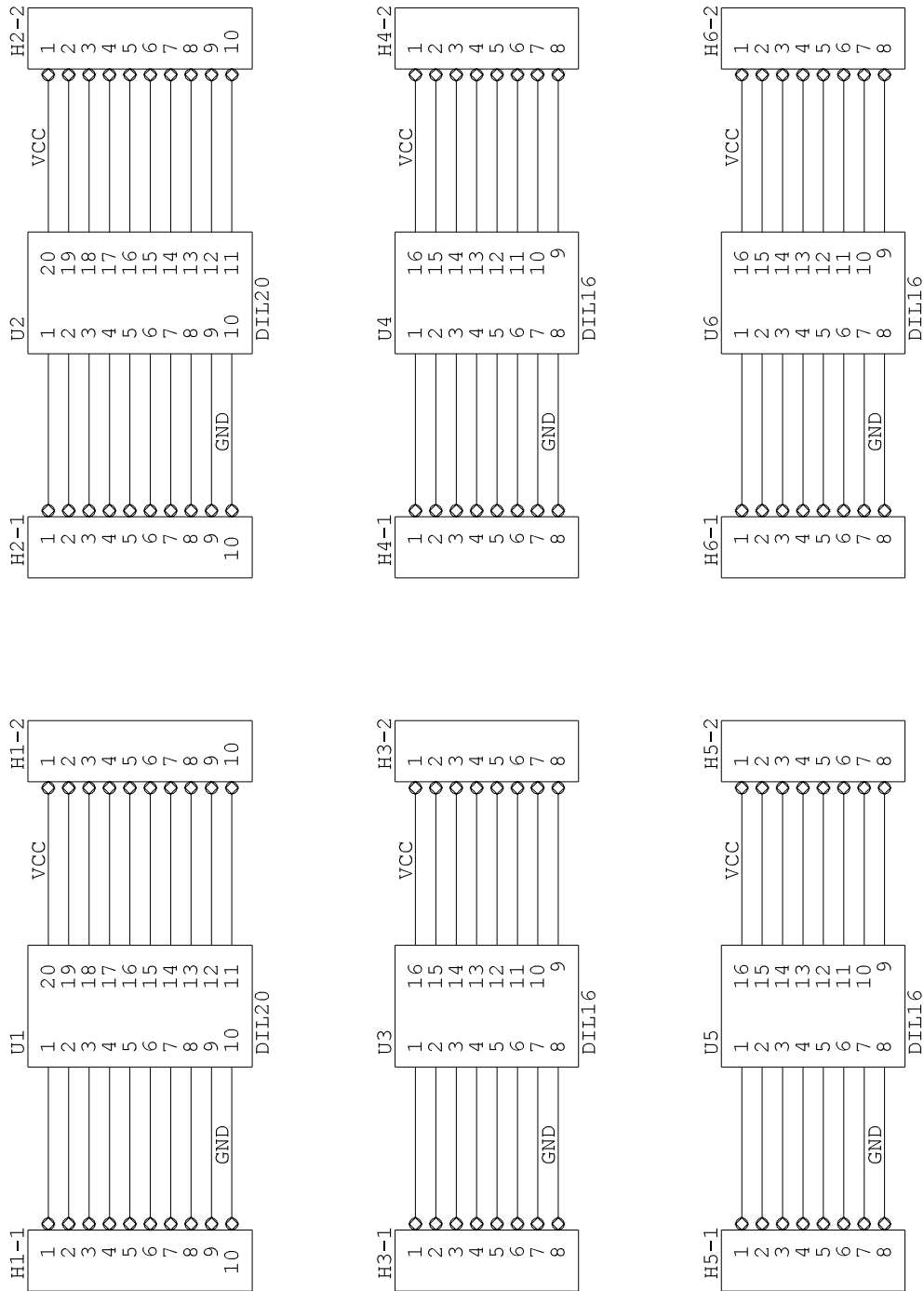
Uwaga! Nieprawidłowe wstawienie układu w obudowie DIL20 do podstawki DIL20 powoduje zniszczenie układu scalonego (analogiczna uwaga dla innych obudów i podstawek).

Przykładowe rozwiązania problemu dekodowania adresu i rozpoznawania przestrzeni adresowej może polegać na zastosowaniu dekodów typu 74138 lub 74139. W razie potrzeby pełnego dekodowania adresu przydatne mogą być 8-bitowe komparatory typu 74521 lub 74HCT688.

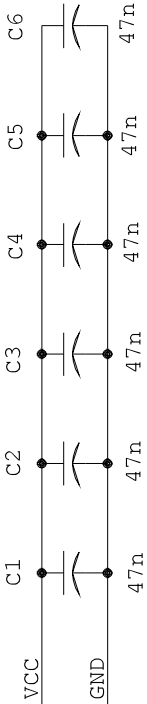
Do generowania sygnału zakończenia cyklu transmisji można wykorzystać automat zbudowany z pojedynczych

przerzutników typu 7474, albo też użyć rejestru (np. 74174, 74164) lub licznika (np. 74163). Nietypowe funkcje kombinacyjne oraz układy sekwencyjne mogą być realizowane z wykorzystaniem programowalnych struktur logicznych; zalecane jest stosowanie układów reprogramowalnych np. GAL16V8.

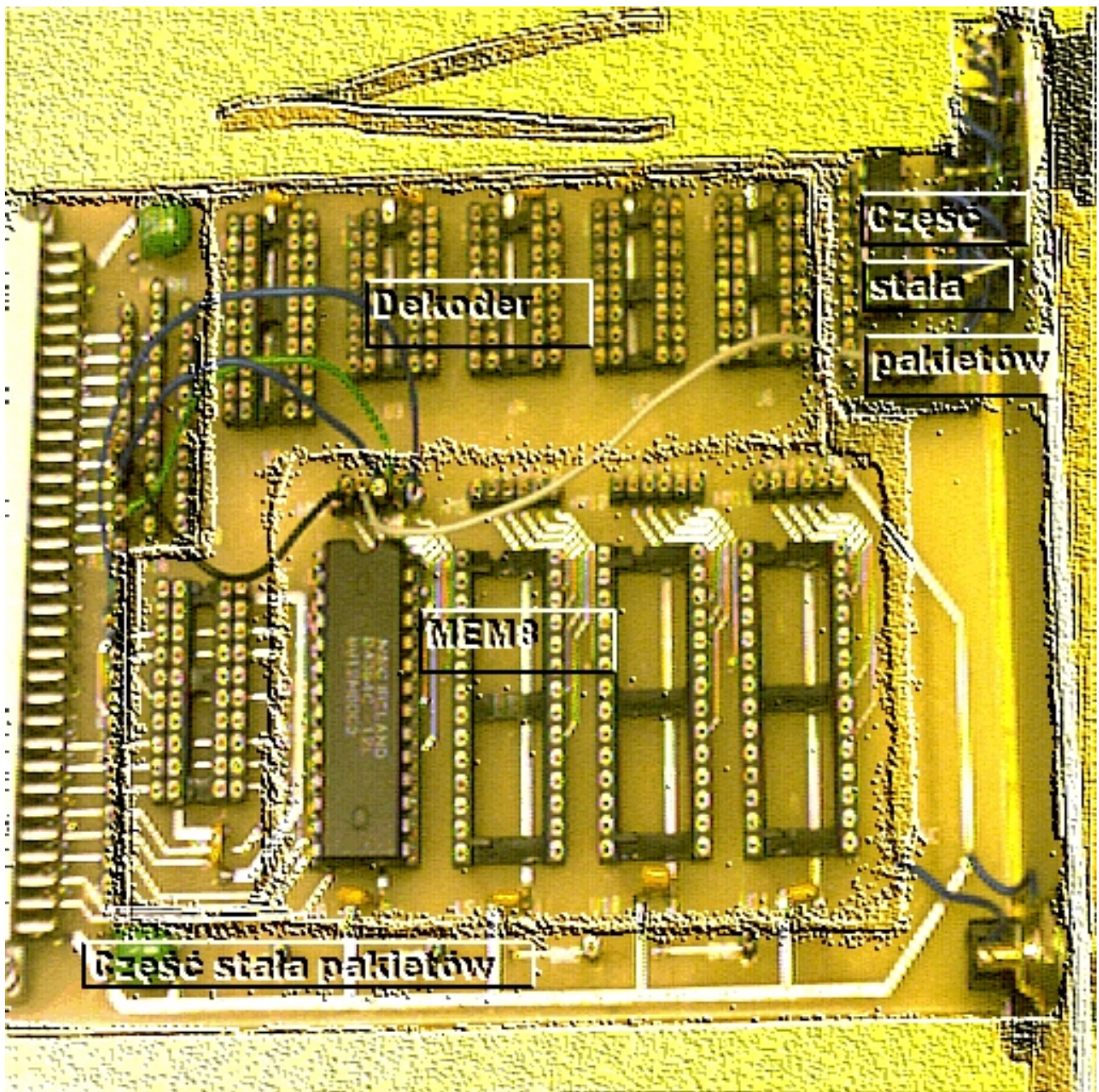




Rys. 2-2. Schemat ideowy dekodera.



Instytut Informatyki PW spr. H.Jez		
Title		
Dekoder adresu		
Size	Document Number	REV
A	DSM / DCDR.SCH	2.1
Date:	June 25, 1999	Sheet 1 of 1



Pakiet PRO1

Funkcja pakietu w systemie

Pakiet prototypowy PRO1 umożliwia dołączenie do szyny systemu DSM dodatkowego modułu o konstrukcji i funkcjach w pełni określonych przez użytkownika. Pakiet ten nie zawiera żadnych układów, a jedynie podstawki różnych typów.

Jako moduł bierny, pakiet PRO1 odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układów i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Jako moduł czynny, pakiet PRO1 definiuje logiczny standard szyny. Wyjściowe i dwukierunkowe linie szyny powinny być zaopatrzone w bufony o wymaganej wydajności prądowej.

Struktura pakietu

W skład pakietu PRO1 wchodzi następujące bloki:
zespół łączówki,

zespół dekodera,
dodatkowe podstawki.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Ustalone połączenia z szyną systemu

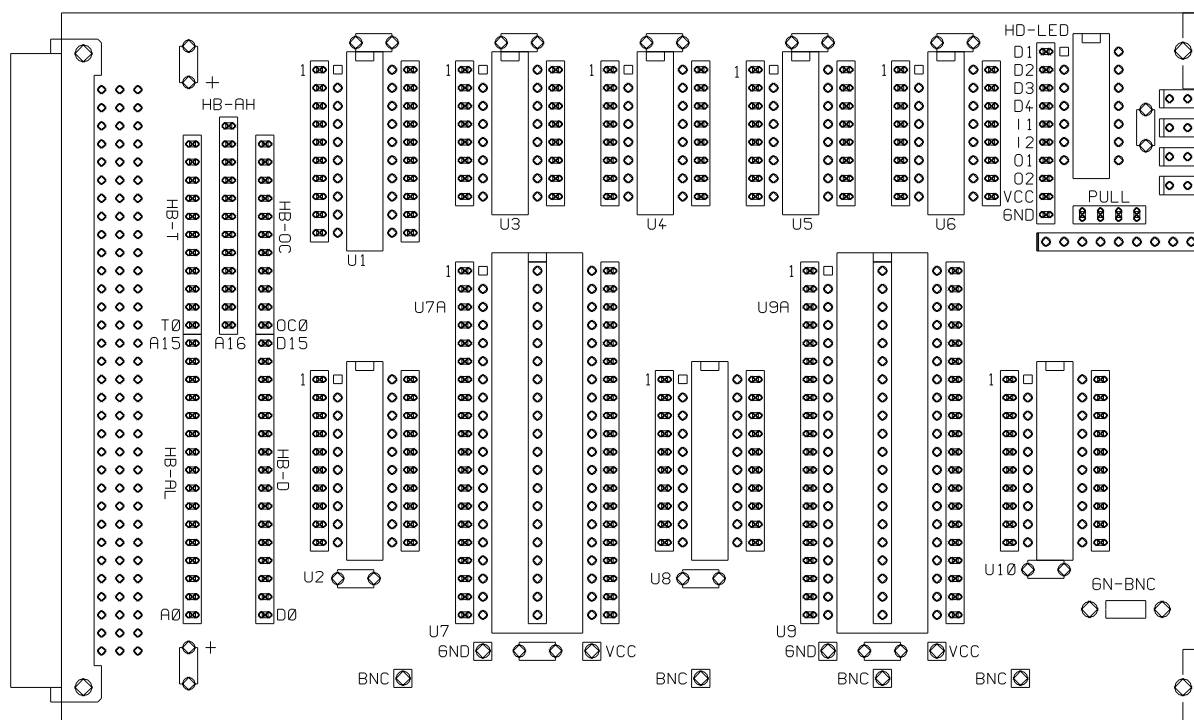
W postaci ścieżek obwodu drukowanego zostały zrealizowane jedynie połączenia masy i zasilania (+5V) podstawek DIL16 oraz DIL20.

Możliwości konfiguracji

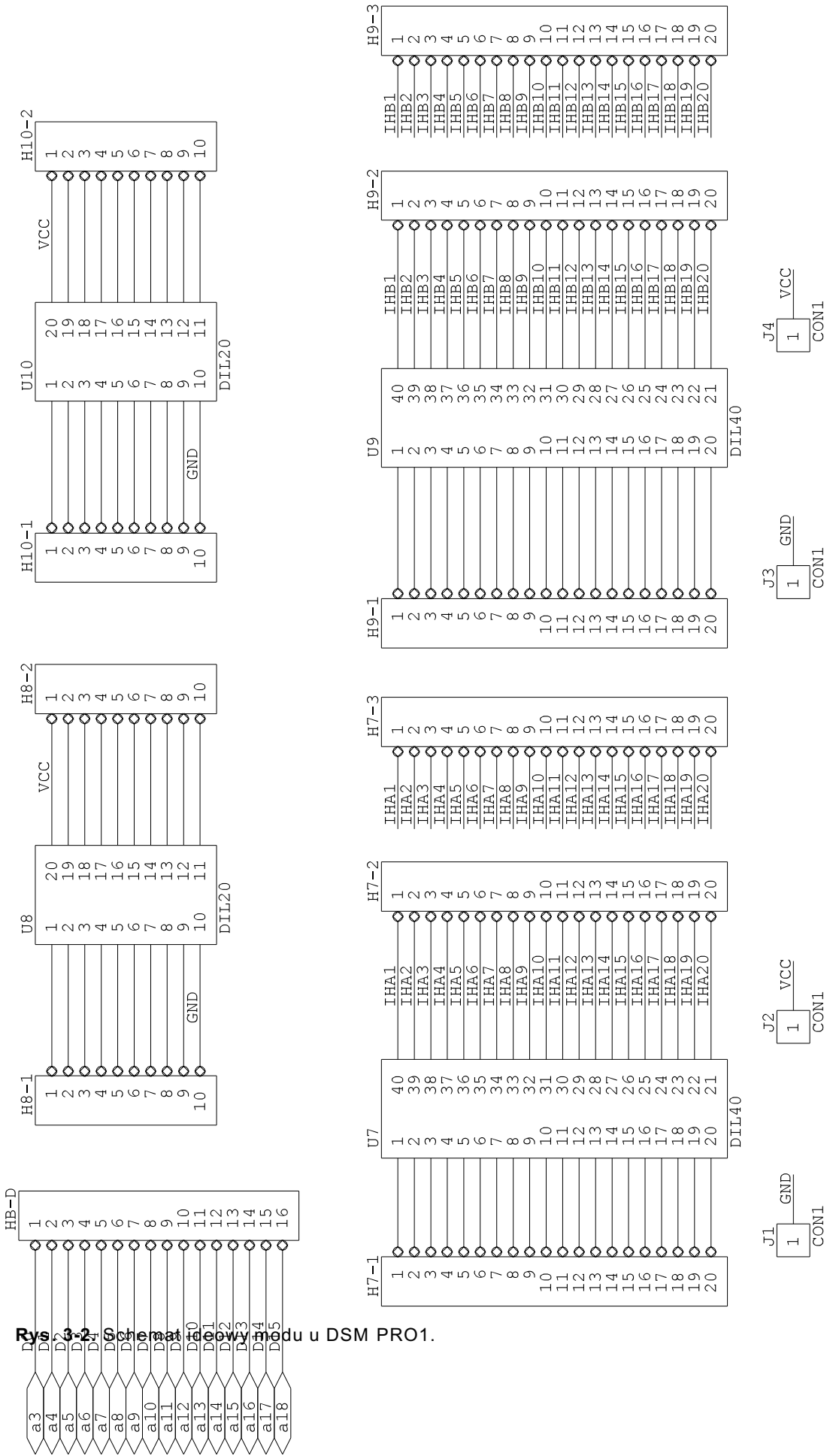
Zespół dekodera zawiera 2 podstawki DIL20 i 4 podstawki DIL16. Dodatkowo na pakiecie zamontowane są 2 podstawki DIL20 (U8, U10) i 2 podstawki DIL40 (U7, U9) umożliwiające instalowanie układów w obudowach 0.3" i 0.6". Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń. Pozostałe łączówki wchodzi w skład części stałej pakietu.

Złącza zewnętrzne

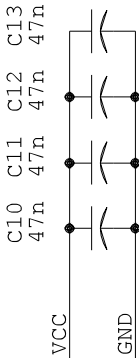
Pakiet nie posiada złączy zewnętrznych.



Rys. 3-1. Rozłożenie elementów na module DSM PRO1.



Rys. 3-2. Schemat połączeń modułu DSM PRO1.



Instytut Informatyki PW spr. H.Jez		
Title		
Pakiet prototypowy P01		
Size	Document Number	REV
A	DSM / PRO1.SCH	2.0
Date:	June 29, 1999	Sheet 1 of 1

Pakiet PRO2

Funkcja pakietu w systemie

Pakiet prototypowy PRO2 umożliwia dołączenie do szyny systemu DSM dodatkowego modułu o konstrukcji i funkcji określonej przez użytkownika. Pakiet ten zawiera podstawki różnych typów i dodatkowo bufor sterujący pracą w trybie dynamicznym wyświetlacza kalkulatorowego LED oraz 4 przyciski monostabilne.

Jako moduł bierny, pakiet PRO2 odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Jako moduł czynny pakiet PRO2 definiuje logiczny standard szyny. Wyjściowe i dwukierunkowe linie szyny powinny być zaopatrzone w bufor o wymaganej wydajności prądowej.

Struktura pakietu

W skład pakietu PRO2 wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- dodatkowe podstawki,
- zespół wyświetlacza LED,
- zespół przycisków.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Dodatkowe podstawki to dwie DIL20 (U9, U10) z podłączonym zasilaniem i masą oraz jedna DIL48 (U8) z oddzielnymi łączówkami zasilania i masy, umożliwiającą instalowanie układów w obudowach 0.3" i 0.6".

Zespół wyświetlacza LED zawiera 2 układy 74HCT573 (U11 - bufor segmentów, U12 - bufor cyfr 0÷7), 8 rezystorów (R1÷R8), ograniczających prąd segmentów, oraz dziewięciocyfrowy wyświetlacz LED typu CQYP94 (wspólna katoda), umieszczony na odrębnej płycie drukowanej przy płycie czołowej modułu. Buforowanie cyfry 8 powinno być zapewnione przez użytkownika (np. dodatkowym układem 74HCT573).

Zespół przycisków zawiera 4 przyciski monostabilne (S1÷S4), umieszczone na płycie z wyświetlaczem LED, oraz 4 rezystory (R9÷R12), ustalające stan "1" na linii wychodzącej z przycisku. Naciśnięcie przycisku sygnalizowane jest stanem "0" na odpowiadającej mu linii. Brak zabezpieczeń elektronicznych przed mechanicznymi drganiami styku.

Ustalone połączenia z szyną systemu

W postaci ścieżek obwodu drukowanego zostały zrealizowane jedynie linie zasilania (+5V) i masy do podstawek DIL14, DIL16, DIL20.

Złącze wewnętrzne P2 służy do połączenia pakietu PRO2 z płytą wyświetlacza LED i przycisków.

Złącze zewnętrzne P1 jest dołączone bezpośrednio do łączówek HG_1, HG_2 oraz masy.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka HB_DL grupuje linie danych D0÷D15 szyny DSM.

Nr	Nazwa	Typ	Układ	Funkcja
1	D0	I/O/Z	X1A	linia danych
2	D1	I/O/Z	X1A	linia danych
3	D2	I/O/Z	X1A	linia danych
4	D3	I/O/Z	X1A	linia danych
5	D4	I/O/Z	X1A	linia danych
6	D5	I/O/Z	X1A	linia danych
7	D6	I/O/Z	X1A	linia danych
8	D7	I/O/Z	X1A	linia danych
9	D8	I/O/Z	X1A	linia danych
10	D9	I/O/Z	X1A	linia danych
11	D10	I/O/Z	X1A	linia danych
12	D11	I/O/Z	X1A	linia danych
13	D12	I/O/Z	X1A	linia danych
14	D13	I/O/Z	X1A	linia danych
15	D14	I/O/Z	X1A	linia danych
16	D15	I/O/Z	X1A	linia danych

Łączówka HB_DH grupuje linie danych D16÷D31 szyny DSM.

Nr	Nazwa	Typ	Układ	Funkcja
1	D16	I/O/Z	X1B	linia danych
2	D17	I/O/Z	X1B	linia danych
3	D18	I/O/Z	X1B	linia danych
4	D19	I/O/Z	X1B	linia danych
5	D20	I/O/Z	X1B	linia danych
6	D21	I/O/Z	X1B	linia danych
7	D22	I/O/Z	X1B	linia danych
8	D23	I/O/Z	X1B	linia danych
9	D24	I/O/Z	X1B	linia danych
10	D25	I/O/Z	X1B	linia danych
11	D26	I/O/Z	X1B	linia danych
12	D27	I/O/Z	X1B	linia danych
13	D28	I/O/Z	X1B	linia danych
14	D29	I/O/Z	X1B	linia danych
15	D30	I/O/Z	X1B	linia danych
16	D31	I/O/Z	X1B	linia danych

Łączówka HSW grupuje niebuforowane sygnały z przycisków monostabilnych.

Nr	Nazwa	Typ	Układ	Funkcja
1	SW0	O	S1	stan przycisku S1
2	SW1	O	S2	stan przycisku S2
3	SW2	O	S3	stan przycisku S3
4	SW3	O	S4	stan przycisku S4

Łączówka HS grupuje niebuforowane sygnały sterujące segmentami wyświetlacza LED (anody).

Nr	Nazwa	Typ	Układ	Funkcja
1	SA	I	HCT573	segment A
2	SB	I	HCT573	segment B
3	SC	I	HCT573	segment C
4	SD	I	HCT573	segment D
5	SE	I	HCT573	segment E
6	SF	I	HCT573	segment F
7	SG	I	HCT573	segment G
8	SH	I	HCT573	segment H
9	LS	I	HCT573	strob zapisu do rejestru buforowego
10	-OS	I	HCT573	sterowanie aktywnością wyjścia
11	GND	PWR	-	linia masy

Łączówka HK grupuje niebuforowane sygnały sterujące cyframi 0÷7 (licząc od lewej strony) wyświetlacza LED (wspólna katoda).

Nr	Nazwa	Typ	Układ	Funkcja
1	-OK	I	HCT573	sterowanie aktywnością wyjść
2	LK	I	HCT573	strob zapisu do rejestru buforowego
3	-K0	I	HCT573	cyfra 0
4	-K1	I	HCT573	cyfra 1
5	-K2	I	HCT573	cyfra 2
6	-K3	I	HCT573	cyfra 3
7	-K4	I	HCT573	cyfra 4
8	-K5	I	HCT573	cyfra 5
9	-K6	I	HCT573	cyfra 6
10	-K7	I	HCT573	cyfra 7

Łączówka HKO zawiera buforowany sygnał sterujący wspólną katodą cyfry 8 wyświetlacza LED (zapewniany przez użytkownika).

Nr	Nazwa	Typ	Układ	Funkcja
1	-KO8	I	CQYP94	cyfra 8

Łączówka HG_1 grupuje część niezdefiniowanych sygnałów złącza zewnętrznego P1.

Nr	Nazwa	Typ	Układ	Funkcja
1	P1	X	P1	wyprowadzenie nr 1
2	P2	X	P1	wyprowadzenie nr 2
3	P3	X	P1	wyprowadzenie nr 3
4	P4	X	P1	wyprowadzenie nr 4
5	P5	X	P1	wyprowadzenie nr 5
6	P6	X	P1	wyprowadzenie nr 6
7	P7	X	P1	wyprowadzenie nr 7
8	P8	X	P1	wyprowadzenie nr 8
9	P9	X	P1	wyprowadzenie nr 9
10	P10	X	P1	wyprowadzenie nr 10
11	P11	X	P1	wyprowadzenie nr 11
12	P12	X	P1	wyprowadzenie nr 12
13	P13	X	P1	wyprowadzenie nr 13

Łączówka HG_2 grupuje pozostałe niezdefiniowane sygnały złącza zewnętrznego P1.

Nr	Nazwa	Typ	Układ	Funkcja
1	P14	X	P1	wyprowadzenie nr 14
2	P15	X	P1	wyprowadzenie nr 15
3	P16	X	P1	wyprowadzenie nr 16
4	P17	X	P1	wyprowadzenie nr 17
5	P18	X	P1	wyprowadzenie nr 18
6	P19	X	P1	wyprowadzenie nr 19
7	P20	X	P1	wyprowadzenie nr 20
8	P21	X	P1	wyprowadzenie nr 21
9	P22	X	P1	wyprowadzenie nr 22
10	P23	X	P1	wyprowadzenie nr 23
11	P24	X	P1	wyprowadzenie nr 24

Pozostałe łączówki wchodzi w skład części stałej pakietu. Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń.

Złącza wewnętrzne

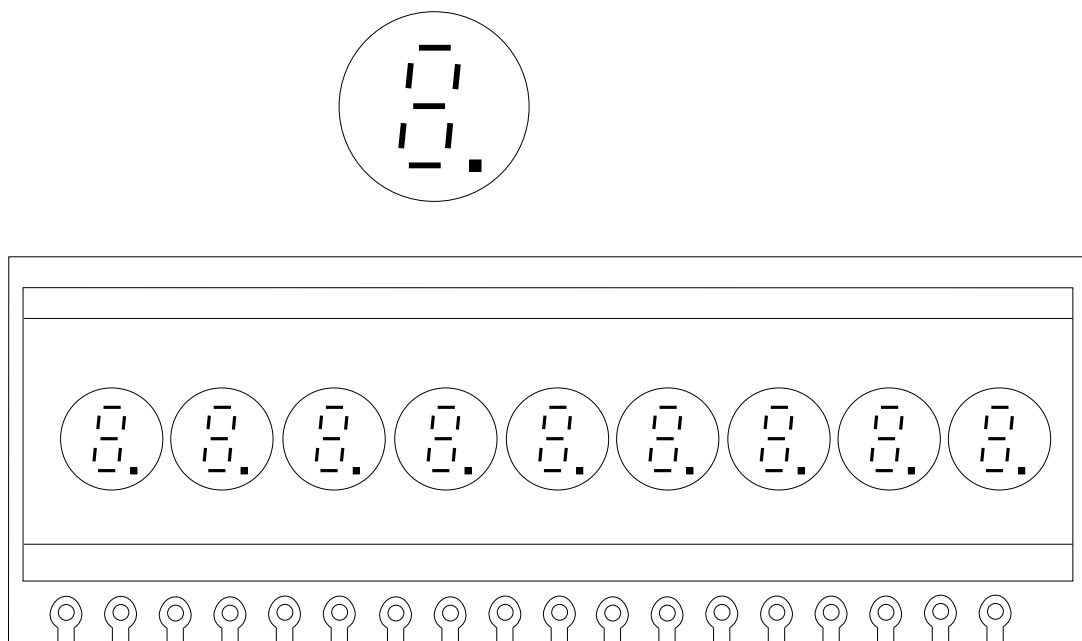
Do komunikacji między pakietem a płytą z wyświetlaczem i przyciskami jest używane złącze 2*11pin (gniazdo na pakiecie, wtyk na płycie dodatkowej). Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nr	Nazwa
-KO6	1	2	OG
-KO7	3	4	OB
-KO8	5	6	OF
OD	7	8	-KO5
OE	9	10	-KO4
-KO3	11	12	OA
-KO2	13	14	OH
OC	15	16	-KO1
-KO0	17	18	SW0
SW1	19	20	SW2
SW3	21	22	GND
złącze P2			

Złącza zewnętrzne

Na zewnątrz pakietu jest dostępne gniazdo szufladowe ELTRA-25 (typ 88102503). Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nr	Nazwa
P1	1	14	P14
P2	2	15	P15
P3	3	16	P16
P4	4	17	P17
P5	5	18	P18
P6	6	19	P19
P7	7	20	P20
P8	8	21	P21
P9	9	22	P22
P10	10	23	P23
P11	11	24	P24
P12	12	25	GND
P13	13	złącze P1	



Rys. 4-1. Widok od przodu wywietlacza 9-o cyfrowego LED typu CQYP94:

- u góry rozmieszczenie segmentów a..h na jednej cyfrze (segment h - kropka),
- u do u rozmieszczenie cyfr (cyfra 0 pierwsza z lewej strony, cyfra 8 pierwsza z prawej strony).

Wskaźnik dziewięciocyfrowy ośmiosegmentowy (wspólna katoda) typ: CQYP95, CQYP94

Numeracja cyfr w tabeli zgodnie z oznaczeniami producenta: 1..9 (w module PRO2 przyjęto numerację: 0..8).

Nr	Nazwa	Nr	Nazwa
0	Zacisk nie wykorzystany	9	Katody segmentów piątej cyfry
1	Katody segmentów pierwszej cyfry (od lewej strony)	10	Anody segmentów d
2	Anody segmentów c (wszystkich cyfr)	11	Katody segmentów szóstej cyfry
3	Katody segmentów drugiej cyfry	12	Anody segmentów g
4	Anody segmentów (kropek)	13	Katody segmentów siódmej cyfry
5	Katody segmentów trzeciej cyfry	14	Anody segmentów b
6	Anody segmentów a	15	Katody segmentów ósmej cyfry
7	Katody segmentów czwartej cyfry	16	Anody segmentów f
8	Anody segmentów e	17	Katody segmentów dziewiątej cyfry (pierwszej od prawej strony)

Prąd przewodzenia $I_{Fmax} < 3mA$

Napięcie wsteczne $U_{Rmax} < 3V$

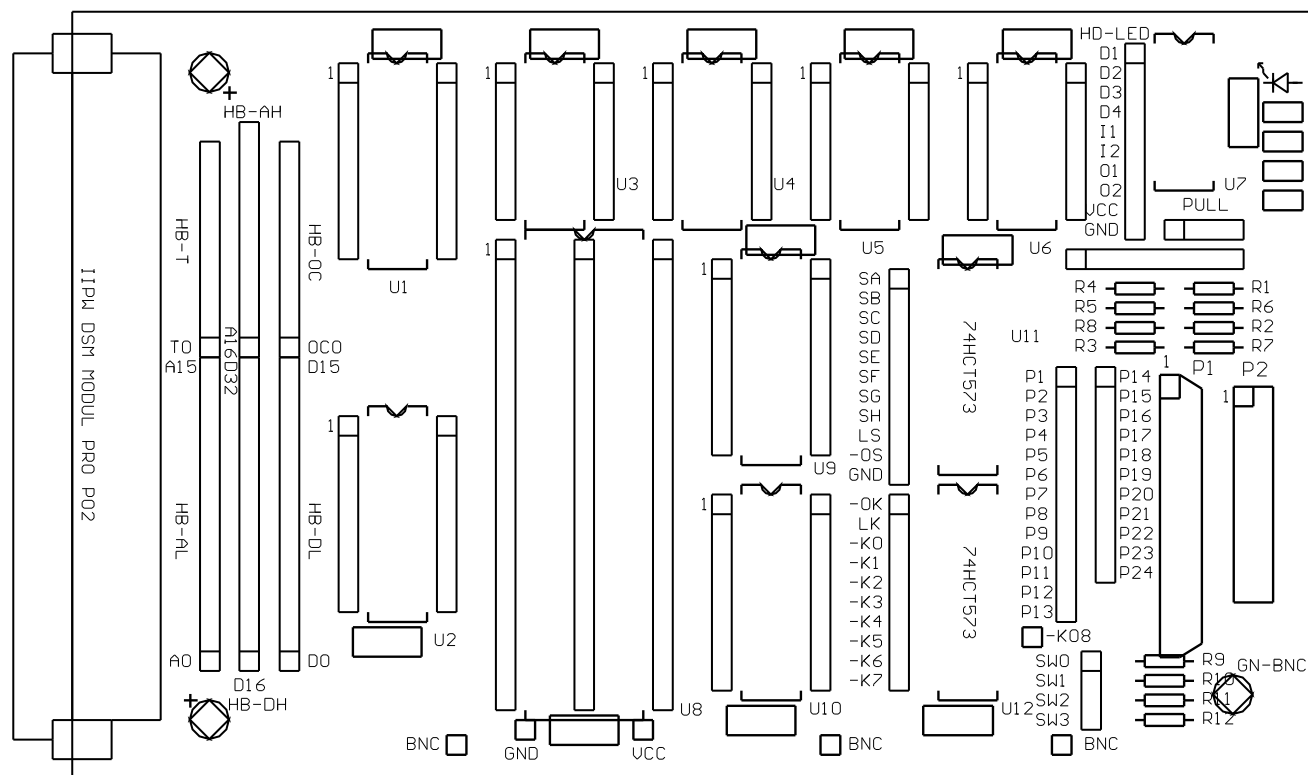
Napięcie przewodzenia $U_F \approx 2V$

Światłość segmentu (wartość szczytowa) 50 cd przy prądzie przewodzenia $I_F = 3mA$

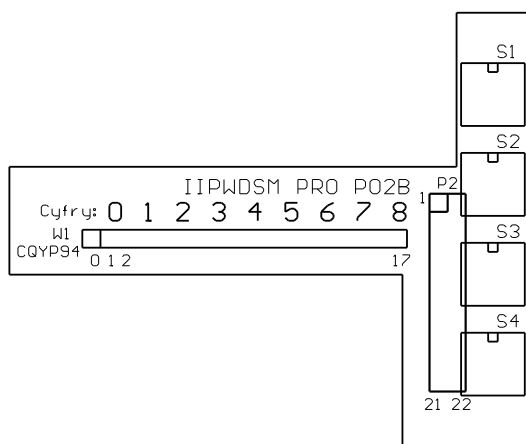
Długość fali promieniowanej $\lambda = 0,63..0,69 \mu m$

Zastosowania: kalkulatory

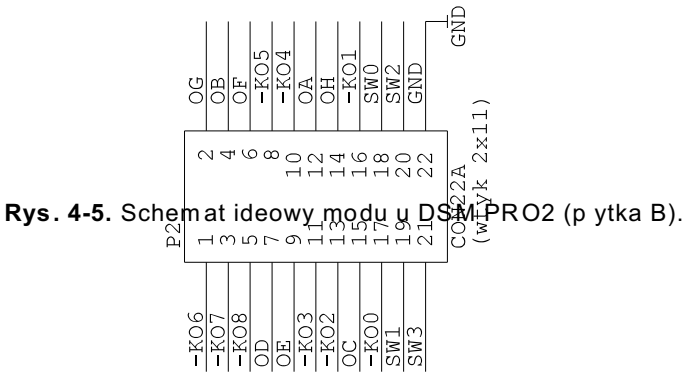
Producent: Unitra-CEMI, Polska.



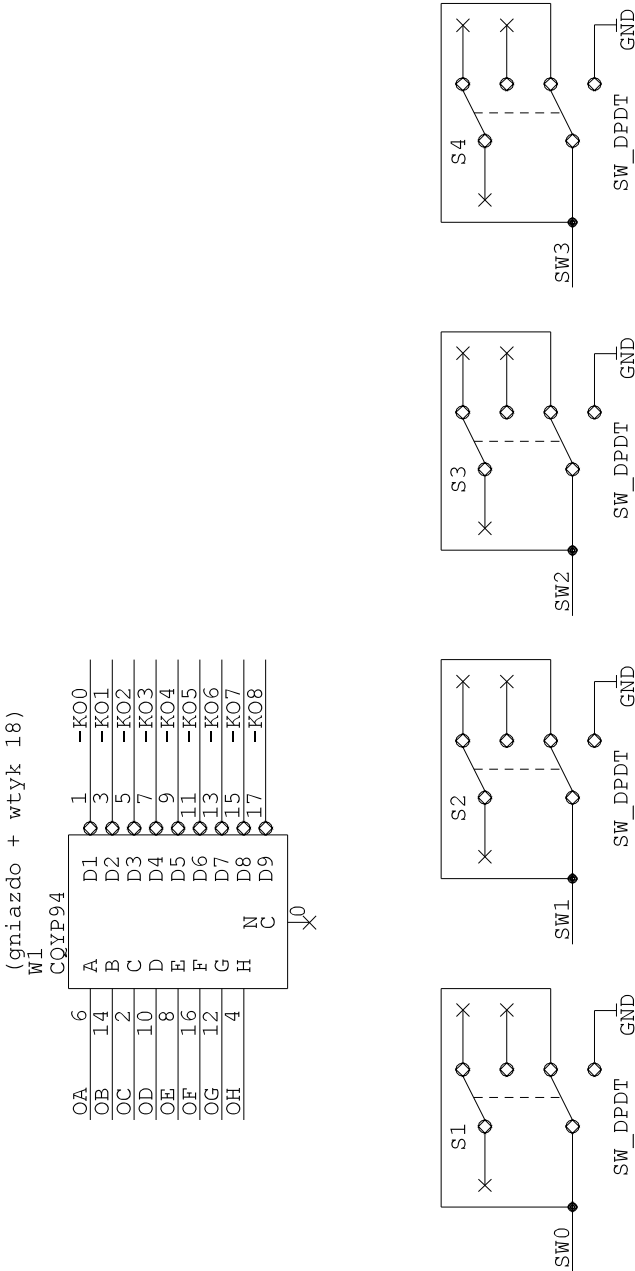
Rys. 4-2. Rozłożenie elementów na module DSM PRO2 (płyta A).



Rys. 4-3. Rozłożenie elementów na module DSM PRO2 (płyta B).



Rys. 4-5. Schemat ideowy modułu DSM-PRO2 (płytka B).



Instytut Informatyki PW spr. H.Jez			
Title			
Pakiet prototypowy P02 (płytki B)			
Size	Document Number	REV	
A	DSM / PRO2B.SCH	1.0	
Date:	November 20, 1995	Sheet	2 of 2

Pakiet PRO3

Funkcja pakietu w systemie

Pakiet prototypowy PRO3 umożliwia dołączenie do szyny systemu DSM dodatkowego modułu o konstrukcji i funkcji określonej przez użytkownika. Jest on wykonany na płytce uniwersalnej P3-160/96 firmy ZUP. **Może być on używany w innych systemach wyposażonych w gniazdo Eltra-96 (typ 82109602).** Pakiet ten zawiera podstawki różnych typów w postaci listew z gniazdkami precyzyjnymi i dodatkowo gniazdo szufladowe Eltra-50.

Jako moduł bierny, pakiet PRO3 odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Jako moduł czynny pakiet PRO3 definiuje logiczny standard szyny. Wyjściowe i dwukierunkowe linie szyny powinny być zaopatrzone w bufony o wymaganej wydajności prądowej.

Struktura pakietu

W skład pakietu PRO2 wchodzi następujące bloki:

- zespół łączówki,
- dodatkowe podstawki.

Pierwszy blok został opisany w dokumencie ["Część stała pakietów"](#). Uzupełniony on został o dodatkowe łączówki udostępniające wszystkie sygnały magistrali DSM użytkownikowi (łącznie z zasilaniem +5V, +12V, -12V i masą).

Dodatkowe podstawki są wykonane w postaci listew z gniazdkami precyzyjnymi o rozstawie 0.1" (2,54mm), umożliwiającymi instalowanie układów w obudowach 0.3" i 0.6", rozmieszczonych poziomo. Łączówki zasilania +5V i masy są rozmieszczone parami (pionowo: górny +5V, dolny masa) w poziomych rzędach pomiędzy listwami dla wyprowadzeń układów scalonych. W łączówkach tych, nie zasłoniętych obudową układu scalonego, można instalować przewody montażowe dołączające zasilanie do wyprowadzeń układu scalonego lub kondensatory tłumiące oscylacje napięcia na liniach zasilania.

Ustalone połączenia z szyną systemu

W postaci ścieżek obwodu drukowanego zostały zrealizowane jedynie połączenia pomiędzy wtykiem X1 Eltra-96 a trzema pionowymi rzędami listew z gniazdkami precyzyjnymi (oznaczenia rzędów C, B, A oraz oznaczenia gniazdek w rzędzie 1, 32), umieszczonymi z prawej strony tego wtyku.

Uwaga! Zasilanie +5V (w systemie DSM gniazdką 2CBA, 31CBA) i masa (w systemie DSM gniazdką 1CBA, 32CBA) z tych listew powinny zostać dołączone przez użytkownika do pozostałej części pakietu za pośrednictwem dwóch listew poziomych (po 3 gniazdką każda) umieszczonych poniżej w/w rzędów C, B, A (górna listwa: +5V, dolna listwa: masa). Należy w tym celu użyć co najmniej 4 przewodów montażowych (po 2 sztuki na 1 listwę).

Złącze zewnętrzne P1 jest dołączone bezpośrednio do trzech łączówek HG_1, HG_2 i HG_3 umieszczonych z jego lewej strony.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka H1A grupuje część linii zasilania wtyku X1 rzędu A.

Nr	Nazwa	Typ	Układ	Funkcja
1	GND	PWR	X1A	linia masy
2	VCC	PWR	X1A	linia zasilania +5V

Łączówka H1B grupuje część linii zasilania wtyku X1 rzędu B.

Nr	Nazwa	Typ	Układ	Funkcja
1	GND	PWR	X1B	linia masy
2	VCC	PWR	X1B	linia zasilania +5V

Łączówka H1C grupuje część linii zasilania wtyku X1 rzędu C.

Nr	Nazwa	Typ	Układ	Funkcja
1	GND	PWR	X1C	linia masy
2	VCC	PWR	X1C	linia zasilania +5V

Łączówka H2A grupuje pozostałą część linii zasilania wtyku X1 rzędu A (w nawiasach numer styku wtyku X1).

Nr	Nazwa	Typ	Układ	Funkcja
1 (30)	V-12	PWR	X1A	linia zasilania -12V
2 (31)	VCC	PWR	X1A	linia zasilania +5V
3 (32)	GND	PWR	X1A	linia masy

Łączówka H2B grupuje pozostałą część linii zasilania wtyku X1 rzędu B (w nawiasach numer styku wtyku X1).

Nr	Nazwa	Typ	Układ	Funkcja
1 (31)	VCC	PWR	X1B	linia zasilania +5V
2 (32)	GND	PWR	X1B	linia masy

Łączówka H2C grupuje pozostałą część linii zasilania wtyku X1 rzędu C (w nawiasach numer styku wtyku X1).

Nr	Nazwa	Typ	Układ	Funkcja
1 (30)	V+12	PWR	X1C	linia zasilania +12V
2 (31)	VCC	PWR	X1C	linia zasilania +5V
3 (32)	GND	PWR	X1C	linia masy

Łączówka H3 zawiera linię zasilania VCC pakietu.

Nr	Nazwa	Typ	Układ	Funkcja
1	VCC	PWR	-	linia zasilania +5V
2	VCC	PWR	-	linia zasilania +5V
3	VCC	PWR	-	linia zasilania +5V

Łączówka H4 zawiera linię masy pakietu.

Nr	Nazwa	Typ	Układ	Funkcja
1	GND	PWR	-	linia masy
2	GND	PWR	-	linia masy
3	GND	PWR	-	linia masy

Łączówka HB_DL grupuje linie danych D0÷D15 szyny DSM.

Nr	Nazwa	Typ	Układ	Funkcja
1	D0	I/O/Z	X1A	linia danych
2	D1	I/O/Z	X1A	linia danych
3	D2	I/O/Z	X1A	linia danych
4	D3	I/O/Z	X1A	linia danych
5	D4	I/O/Z	X1A	linia danych
6	D5	I/O/Z	X1A	linia danych
7	D6	I/O/Z	X1A	linia danych
8	D7	I/O/Z	X1A	linia danych
9	D8	I/O/Z	X1A	linia danych
10	D9	I/O/Z	X1A	linia danych
11	D10	I/O/Z	X1A	linia danych
12	D11	I/O/Z	X1A	linia danych
13	D12	I/O/Z	X1A	linia danych
14	D13	I/O/Z	X1A	linia danych
15	D14	I/O/Z	X1A	linia danych
16	D15	I/O/Z	X1A	linia danych

Łączówka HB_DH grupuje linie danych D16÷D31 szyny DSM.

Nr	Nazwa	Typ	Układ	Funkcja
1	D16	I/O/Z	X1B	linia danych
2	D17	I/O/Z	X1B	linia danych
3	D18	I/O/Z	X1B	linia danych
4	D19	I/O/Z	X1B	linia danych
5	D20	I/O/Z	X1B	linia danych
6	D21	I/O/Z	X1B	linia danych
7	D22	I/O/Z	X1B	linia danych
8	D23	I/O/Z	X1B	linia danych
9	D24	I/O/Z	X1B	linia danych
10	D25	I/O/Z	X1B	linia danych
11	D26	I/O/Z	X1B	linia danych
12	D27	I/O/Z	X1B	linia danych
13	D28	I/O/Z	X1B	linia danych
14	D29	I/O/Z	X1B	linia danych
15	D30	I/O/Z	X1B	linia danych
16	D31	I/O/Z	X1B	linia danych

Łączówka HG_1 grupuje część niezdefiniowanych sygnałów złącza zewnętrznego P1.

Nr	Nazwa	Typ	Układ	Funkcja
1	P1	X	P1	wyprowadzenie nr 1
2	P2	X	P1	wyprowadzenie nr 2
3	P3	X	P1	wyprowadzenie nr 3
4	P4	X	P1	wyprowadzenie nr 4
5	P5	X	P1	wyprowadzenie nr 5
6	P6	X	P1	wyprowadzenie nr 6
7	P7	X	P1	wyprowadzenie nr 7
8	P8	X	P1	wyprowadzenie nr 8
9	P9	X	P1	wyprowadzenie nr 9
10	P10	X	P1	wyprowadzenie nr 10
11	P11	X	P1	wyprowadzenie nr 11
12	P12	X	P1	wyprowadzenie nr 12
13	P13	X	P1	wyprowadzenie nr 13
14	P14	X	P1	wyprowadzenie nr 14
15	P15	X	P1	wyprowadzenie nr 15
16	P16	X	P1	wyprowadzenie nr 16
17	P17	X	P1	wyprowadzenie nr 17

Łączówka HG_2 grupuje następną część niezdefiniowanych sygnałów złącza zewnętrznego P1.

Nr	Nazwa	Typ	Układ	Funkcja
1	P18	X	P1	wyprowadzenie nr 18
2	P19	X	P1	wyprowadzenie nr 19
3	P20	X	P1	wyprowadzenie nr 20
4	P21	X	P1	wyprowadzenie nr 21
5	P22	X	P1	wyprowadzenie nr 22
6	P23	X	P1	wyprowadzenie nr 23
7	P24	X	P1	wyprowadzenie nr 24
8	P25	X	P1	wyprowadzenie nr 25
9	P26	X	P1	wyprowadzenie nr 26
10	P27	X	P1	wyprowadzenie nr 27
11	P28	X	P1	wyprowadzenie nr 28
12	P29	X	P1	wyprowadzenie nr 29
13	P30	X	P1	wyprowadzenie nr 30
14	P21	X	P1	wyprowadzenie nr 31
15	P32	X	P1	wyprowadzenie nr 32
16	P33	X	P1	wyprowadzenie nr 33

Łączówka HG_3 grupuje pozostałe niezdefiniowane sygnały złącza zewnętrznego P1.

Nr	Nazwa	Typ	Układ	Funkcja
1	P34	X	P1	wyprowadzenie nr 34
2	P35	X	P1	wyprowadzenie nr 35
3	P36	X	P1	wyprowadzenie nr 36
4	P37	X	P1	wyprowadzenie nr 37
5	P38	X	P1	wyprowadzenie nr 38
6	P39	X	P1	wyprowadzenie nr 39
7	P40	X	P1	wyprowadzenie nr 40
8	P41	X	P1	wyprowadzenie nr 41
9	P42	X	P1	wyprowadzenie nr 42
10	P43	X	P1	wyprowadzenie nr 43
11	P44	X	P1	wyprowadzenie nr 44
12	P45	X	P1	wyprowadzenie nr 45
13	P46	X	P1	wyprowadzenie nr 46
14	P47	X	P1	wyprowadzenie nr 47
15	P48	X	P1	wyprowadzenie nr 48
16	P49	X	P1	wyprowadzenie nr 49
17	P50	X	P1	wyprowadzenie nr 50

Pakiet ma oznaczenia pól montażowych w układzie prostokątnym: współrzędne poziome zawierają u dołu pakietu cyfry (od lewej strony kolejno) 1, 2, 3, 4, natomiast współrzędne pionowe zawierają z prawej strony pakietu litery (od dołu kolejno) A, B, C, D, E, F, G, H.

W polach montażowych (1,2;A,B) oraz (1,2;C,D) można montować układy w obudowach 0.3" (ilość gniazdek w 1 listwie wynosi 28 szt., np. 3 obudowy DIL16).

W polu montażowym (1,2,3,4;E,F) można montować układy w obudowach 0.3" lub 0.6" (ilość gniazdek w 1 listwie wynosi 47 szt., np. 2 obudowy DIL40).

W polu montażowym (1,2,3;G,H) można montować układy w obudowach 0.3" (ilość gniazdek w jednej listwie

wynosi 36 szt., np. 4 obudowy DIL16).

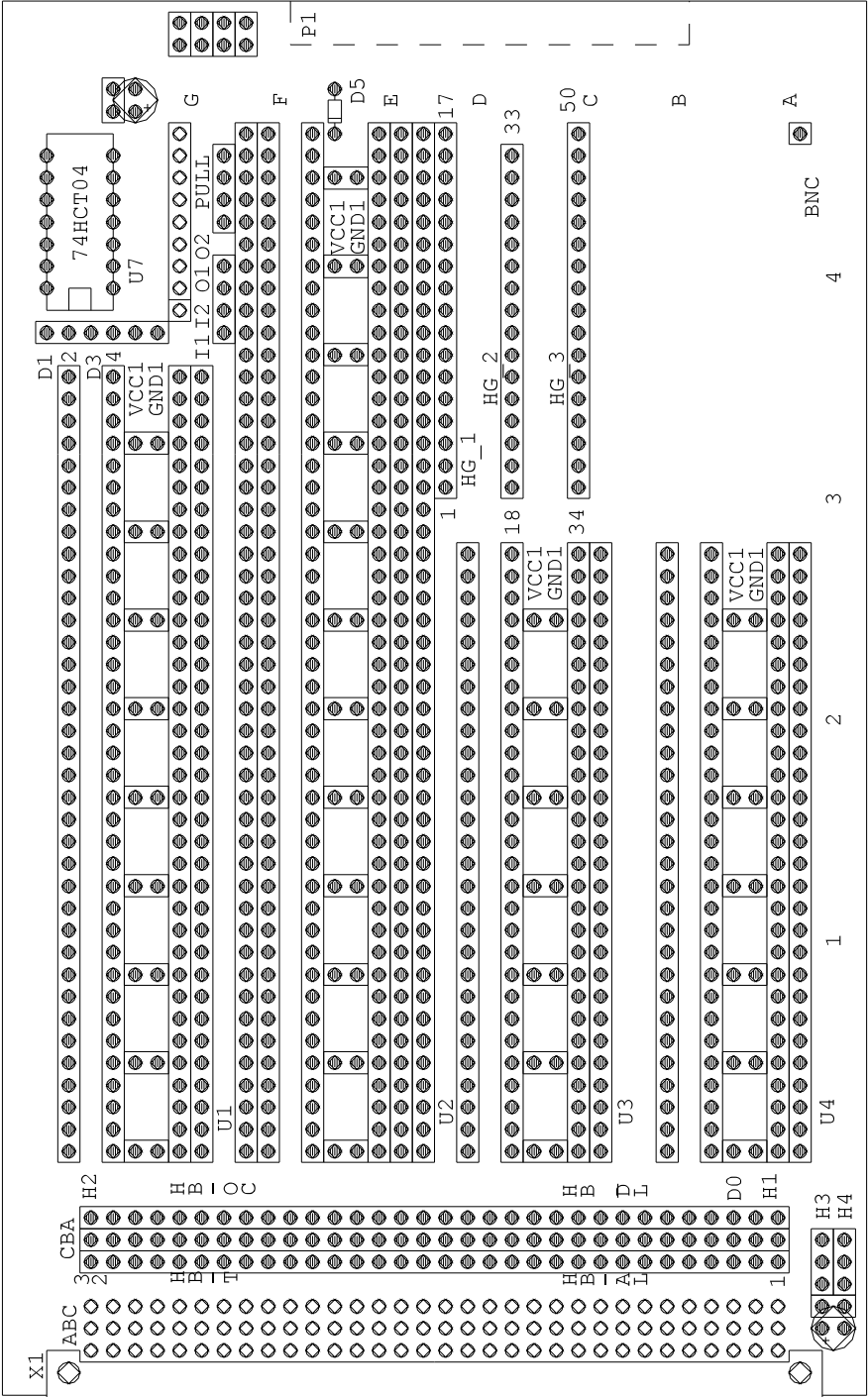
Pole montażowe (3,4;A,B) nie zawiera podstawek i jest do wykorzystania przez użytkownika (liczba punktów lutowniczych w 1 rzędzie wynosi 18 szt., np. 1 obudowa DIL32).

Pozostałe łączówki wchodzi w skład części stałej pakietu. Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń.

Złącza zewnętrzne

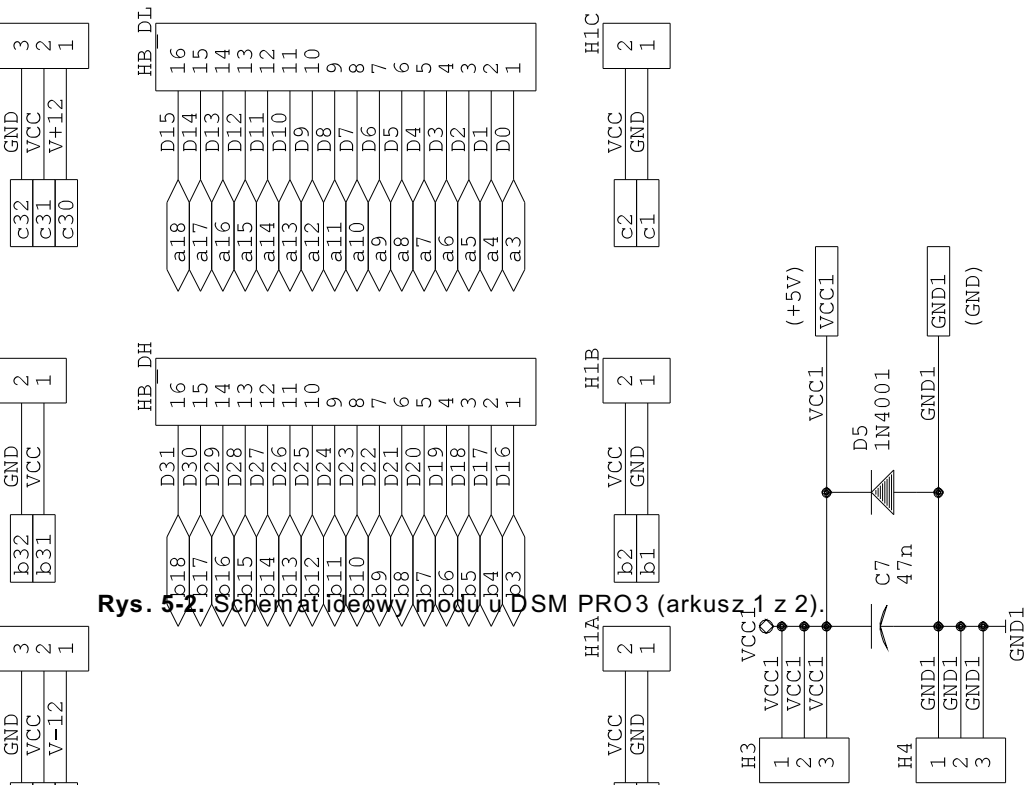
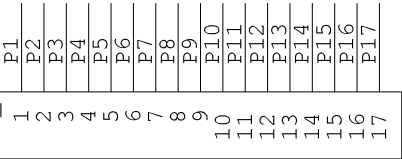
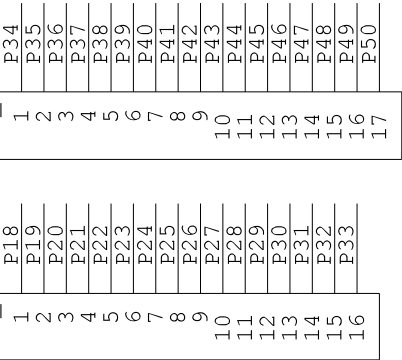
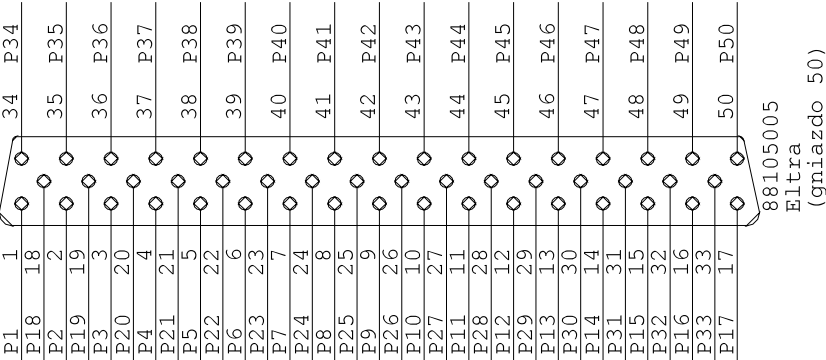
Na zewnątrz pakietu jest dostępne gniazdo szufladowe ELTRA-50 (typ 88105005). Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nazwa	Nr	Nazwa	Nr
P1	1	P18	18	P34	34
P2	2	P19	19	P35	35
P3	3	P20	20	P36	36
P4	4	P21	21	P37	37
P5	5	P22	22	P38	38
P6	6	P23	23	P39	39
P7	7	P24	24	P40	40
P8	8	P25	25	P41	41
P9	9	P26	26	P42	42
P10	10	P27	27	P43	43
P11	11	P28	28	P44	44
P12	12	P29	29	P45	45
P13	13	P30	30	P46	46
P14	14	P31	31	P47	47
P15	15	P32	32	P48	48
P16	16	P33	33	P49	49
P17	17	złącze P1		P50	50

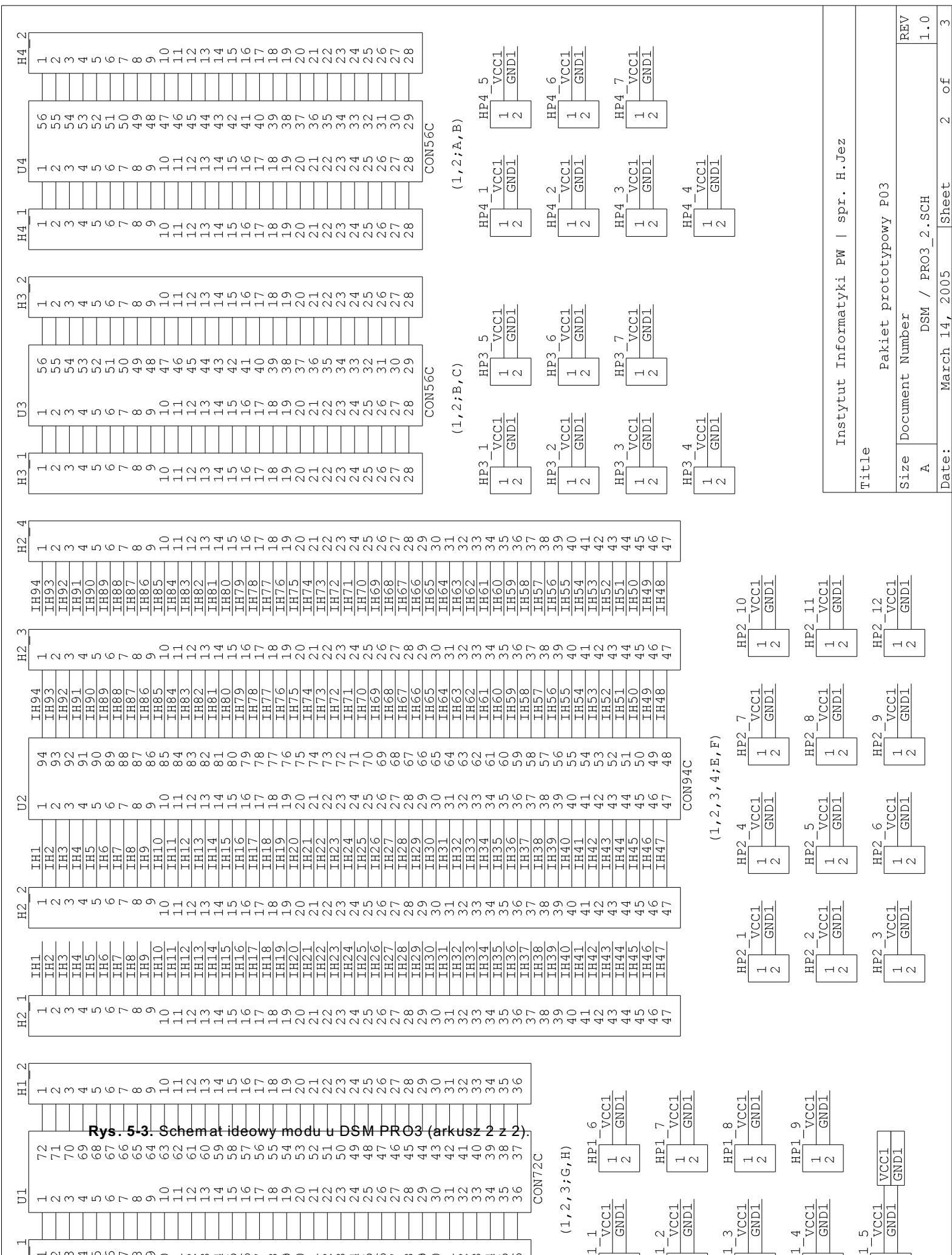


Rys. 5-1. Roz o enie elementów na module DSM PRO3.

Instytut Informatyki PW spr. H.Jez			
Title			
Pakiet prototypowy P03			
Size	Document Number	REV	
A	DSM / PRO3_3.SCH	1.0	
Date:	March 20, 2005	Sheet	3 of 3



Instytut Informatyki PW spr. H.Jez		
Title		
Pakiet prototypowy P03		
Size	Document Number	REV
A	DSM / PRO3_1.SCH	1.0
Date:	March 14, 2005	Sheet 1 of 3



Pakiety MEM8 i MEM16

Funkcja pakietów w systemie

Pakiet MEM8 jest modulem pamięci współpracującym z 8-bitową, a MEM16 — z 16-bitową szyną danych. Pakiet jest przystosowany do instalowania typowych układów SRAM i EPROM o organizacji $\times 8$ w obudowach DIL24 i DIL28 o szerokości 0.6". Możliwe jest użycie czterech układów, co pozwala na uzyskanie łącznej pojemności do 256KB. Nie jest przewidziane montowanie w podstawkach układów pamięci dynamicznej.

Jako moduły bierne, pakiety MEM8 i MEM16 odpowiadają na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układów pamięci i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Struktura pakietów

W skład pakietów MEM8 i MEM16 wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- matryca pamięci.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiety nie zawierają układów sterujących; sterowanie pamięci pozostaje pod pełną kontrolą użytkownika. Szyna danych i połączona na stałe część szyny adresowej nie są buforowane. Buforowanie innych sygnałów pozostaje pod kontrolą użytkownika.

Matryca pamięci pakietu MEM8 jest zbudowana z czterech układów dołączonych do 8-bitowej szyny danych i 13 najmniej znaczących linii szyny adresowej (A0÷A12).

Matryca pamięci pakietu MEM16 jest zbudowana z czterech układów dołączonych do 16-bitowej szyny danych i 13 linii szyny adresowej (A1÷A13). Z każdą 8-bitową częścią szyny danych współpracują dwa układy. Najmniej znacząca linia adresowa (A0) powinna być wykorzystana w układzie sterującym wyborem układu pamięci.

Ustalone połączenia z szyną systemu — MEM8

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V) i masy,
- linie danych D0÷D7,
- linie adresowe A0÷A10, A12.

Linie danych i adresowe są dołączone równolegle do wszystkich podstawek pamięci. Linia adresowa A11 powinna być podłączona przez użytkownika do końcówki 23 obudowy DIL28.

Ustalone połączenia z szyną systemu — MEM16

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V) i masy,
- linie danych D0÷D7 (U8, U9) oraz D8÷D15 (U10, U11),
- linie adresowe A1÷A11, A13.

Linie adresowe są dołączone równolegle do wszystkich podstawek pamięci. Linia adresowa A12 powinna być podłączona przez użytkownika do końcówki 23 obudowy DIL28.

Możliwości konfiguracji

Z każdym układem pamięci jest związana oddzielna 6-stykowa łączówka umożliwiająca odpowiednie dołączenie sygnałów sterujących. Przypisanie łączówek jest następujące:

- HM8 - U8
- HM9 - U9
- HM10 - U10
- HM11 - U11

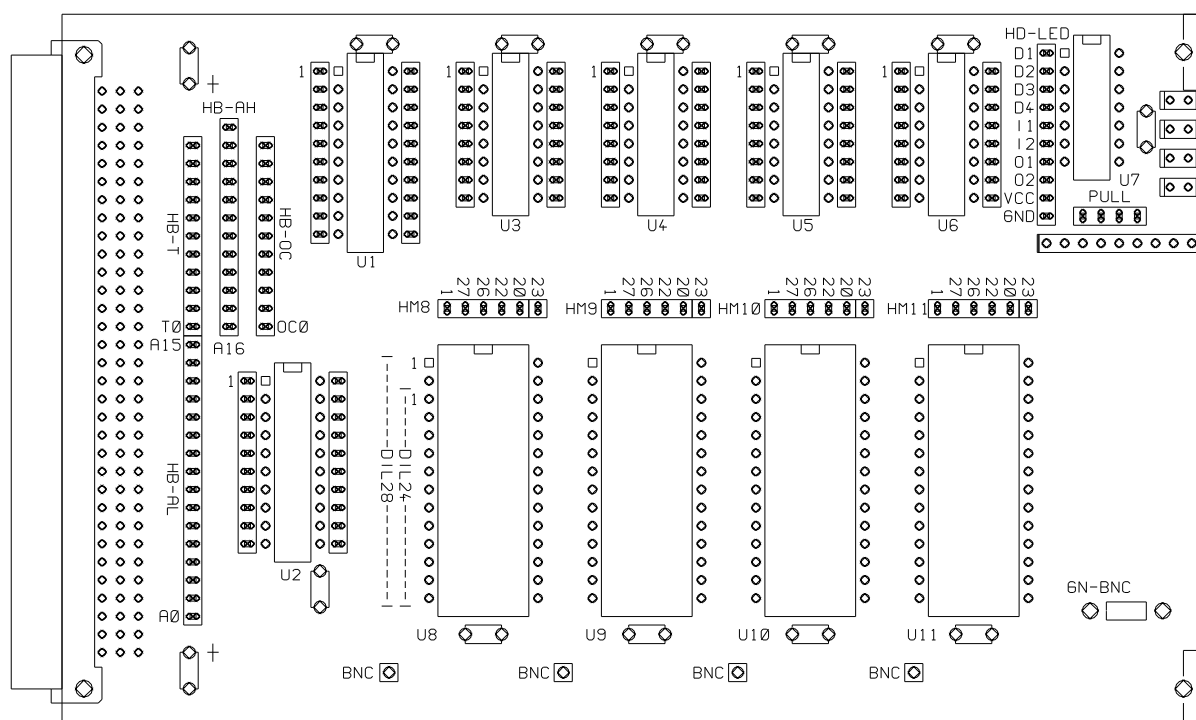
Funkcje poszczególnych wyprowadzeń łączówki dla kilku najczęściej stosowanych typów pamięci w obudowach DIL28 zostały zestawione w tabeli (w nawiasach podane są numery końcówek układu scalonego). W wypadku użycia pamięci w obudowie DIL24 (np. 2716, 2732, 6116) należy włożyć układ scalony do podstawki dosuwając go do dołu (końcówka nr 1 układu w wyprowadzeniu nr 3 podstawki) oraz dołączyć zasilanie korzystając z ostatniego (28) wyprowadzenia danej podstawki. W przypadku odczytu pamięci EPROM końcówkę VPP należy połączyć z VCC (zgodnie z zaleceniem producenta), a nie z rezystorem podciągającym PULL (za małą wydajność prądową).

Nr (końc.)	Typ układu						
	2716	2764	27128	27256	27512	6264	62256
1 (1)	-	Vpp	Vpp	Vpp	A15	-	A14
2 (27)	-	-PGM	-PGM	A14	A14	-WE	-WE
3 (26)	Vcc	-	A13	A13	A13	CS2	A13
4 (22)	-OE	-OE	-OE	-OE	-OE/Vpp	-OE	-OE
5 (20)	-CE	-CE	-CE	-CE	-CE	-CS1	-CE
6 (23)	Vpp	A11	A11	A11	A11	A11	A11

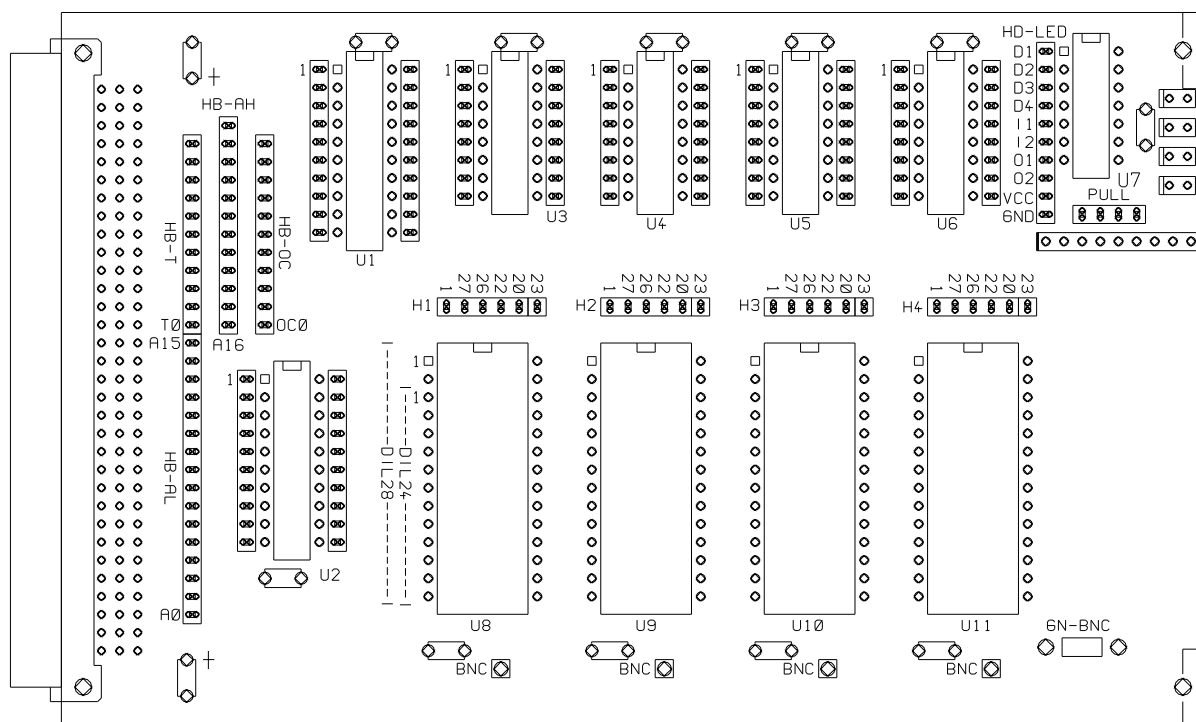
Pozostałe łączówki wchodzi w skład części stałej pakietu.

Złącza zewnętrzne

Pakiet nie posiada złączy zewnętrznych.

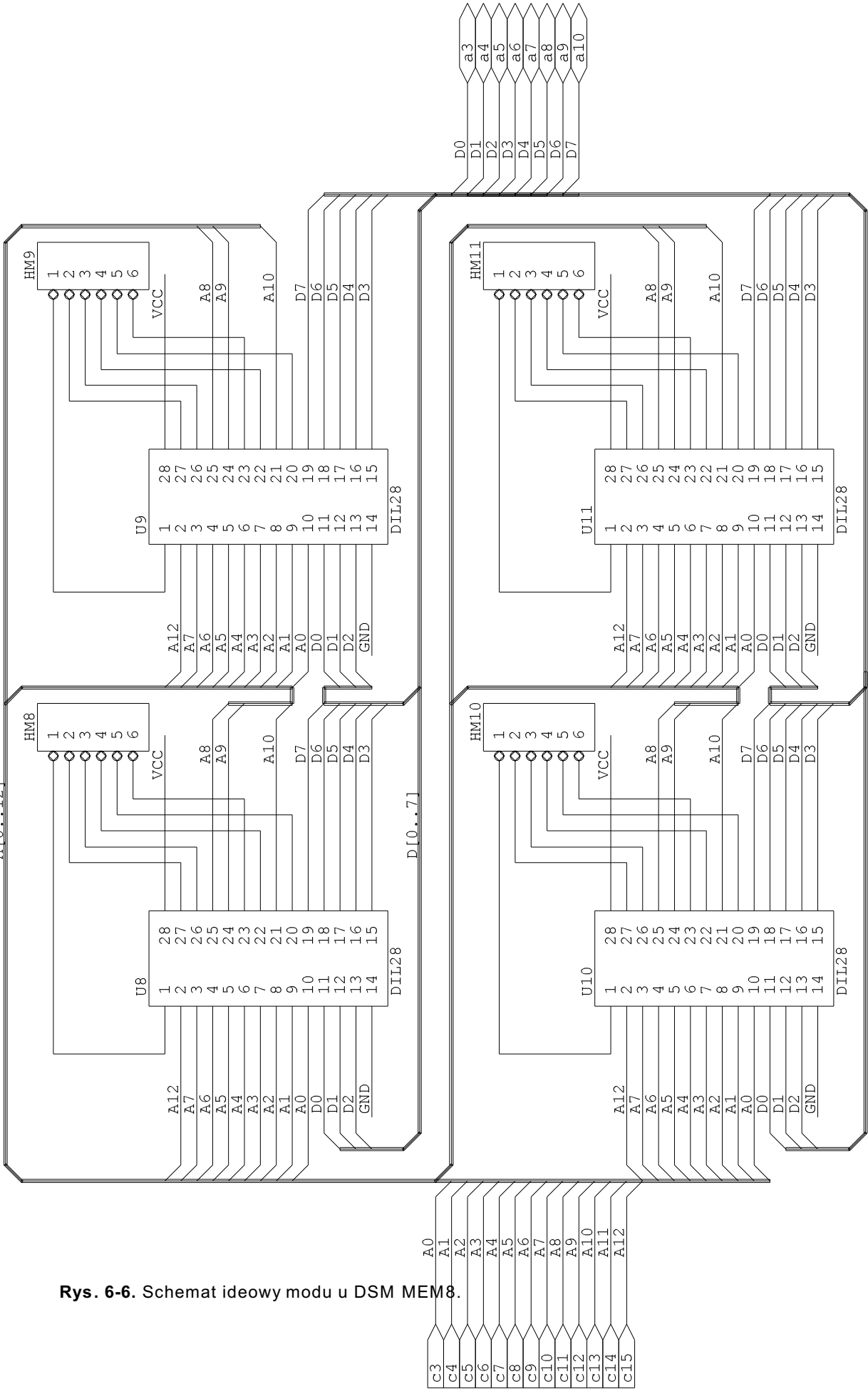


Rys. 6-4. Roz o enie elementów na module DSM MEM8.

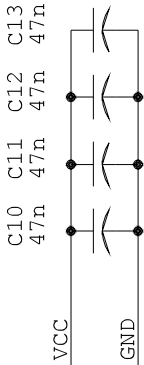


Rys. 6-5. Roz o enie elementów na module DSM MEM16.

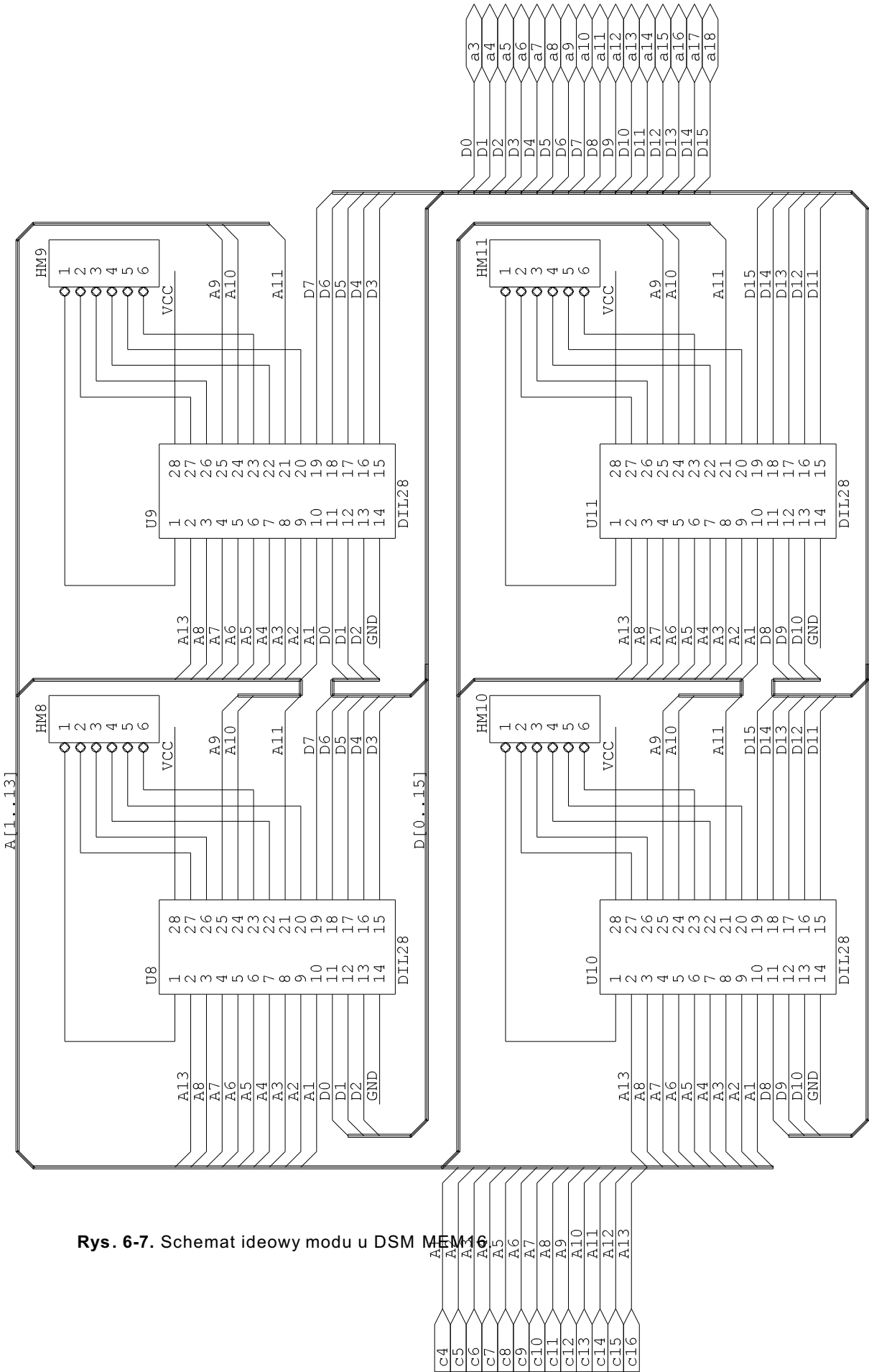
A[0...12]



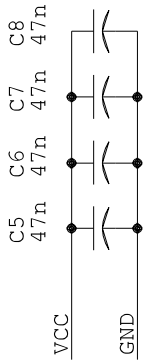
Rys. 6-6. Schemat ideowy modu u DSM MEM8.



Instytut Informatyki spr. H.Jez			
Title			
Pamięć SRAM/EPROM (8-o bitowa)			
Size	Document Number	REV	
A	DSM / MEM08.SCH	2.1	
Date:	June 25, 1999	Sheet	1 of 1



Rys. 6-7. Schemat ideowy modu u DSM MEM16



Instytut Informatyki PW spr. H.Jez			
Title			
Pamięć SRAM/EPROM (16-o bitowa)			
Size	Document Number	REV	
A	DSM / MEM16.SCH	2.1	
Date:	June 25, 1999	Sheet	1 of 1

Pakiet Z80CPU

Funkcja pakietu w systemie

Pakiet procesora Z80CPU jest modulem czynnym. Zawiera on mikroprocesor typu Z80 oraz niezbędne układy logiki i buforów. Pakiet posiada 16-bitową szynę adresową i 8-bitową szynę danych; może on współpracować z pakietami biernymi o 8-bitowej szynie danych. Pakiet jest wyposażony w układ pracy krokowej procesora.

Struktura sygnałów sterujących procesora Z80 określa logiczny standard szyny systemu.

Struktura pakietu

W pakiecie Z80CPU można wyróżnić następujące bloki funkcjonalne:

- procesor z układami logiki,
- układy inicjacji działania procesora i pracy krokowej,
- bufory szyny procesora.

Blok procesora zawiera:

- mikroprocesor typu Z80CPU (U1),
- układ generacji sygnału synchronizacji procesora i systemu,
- bramkę AND typu 7408 (U11B), generującą sygnał -DDI sterujący kierunkiem przepływu danych przez bufor szyny,
- bramkę NAND typu 74132 (U10D), generującą sygnał -IDLE oznaczający brak aktywności procesora na szynie.

Blok inicjacji procesora i pracy krokowej zawiera:

- generator sygnału RESET procesora przy włączeniu zasilania lub uaktywnieniu linii -RESET szyny,
- układ pracy krokowej wydłużający cykl transmisji danych na szynie systemu.

Blok buforów zawiera układ typu 74245 (U4) buforujący szynę danych oraz trzy układy typu 74541 (U5, U6, U8), służące do buforowania szyny adresowej i trójstanowych linii sterowania transmisją.

Ustalone połączenia z szyną systemu

Szyna adresowa A0÷A15 procesora jest połączona z liniami A0÷A15 szyny systemu za pośrednictwem układów typu 74541.

Szyna danych D0÷D7 procesora jest połączona z liniami D0÷D7 szyny systemu za pośrednictwem układu typu 74245.

Sygnały sterujące -MREQ, -IORQ, -RD, -WR, -M1, zbuforowane przez układ typu 74541, są dołączone odpowiednio do linii T0÷T4.

Sygnał synchronizujący CLK jest doprowadzony do linii CLK szyny.

Linia -WAIT procesora jest sterowana z linii OC0 szyny.

Linia -BUSRQ procesora jest połączona z linią OC2.

Linie -INT i -NMI procesora są połączone z liniami OC6 i OC7 szyny systemu.

Linie -RESET, -SMODE i -STEP pakietu są połączone z liniami szyny systemu o tych samych nazwach.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka JP-3 pozwala na podłączenie linii wejściowych procesora -HALT, -BUSAK i -RFSH do wybranych przez użytkownika linii szyny systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-HALT	O	Z80CPU	sygnalizacja zatrzymania procesora
2	-BUSAK	O	Z80CPU	potwierdzenie zwolnienia szyny przez procesor
3	-RFSH	O	Z80CPU	sygnalizacja cyklu odświeżania pamięci

Łączówka JP-4 udostępnia sygnały sterujące generowane na pakiecie, które mogą być wykorzystane przez użytkownika po wyprowadzeniu ich na szynę systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-DDI	O	HCT08	przesłanie danych po szynie do procesora
2	-IDLE	O	HCT132	brak aktywności procesora na szynie
3	-BDIS	I	HCT132	deaktywacja buforów szyny systemu

Łączówka JP-T1 umożliwia doprowadzenie na wejścia bufora U6 wybranych sygnałów, które mogą być wyprowadzone na szynę systemu jako trójstanowe.

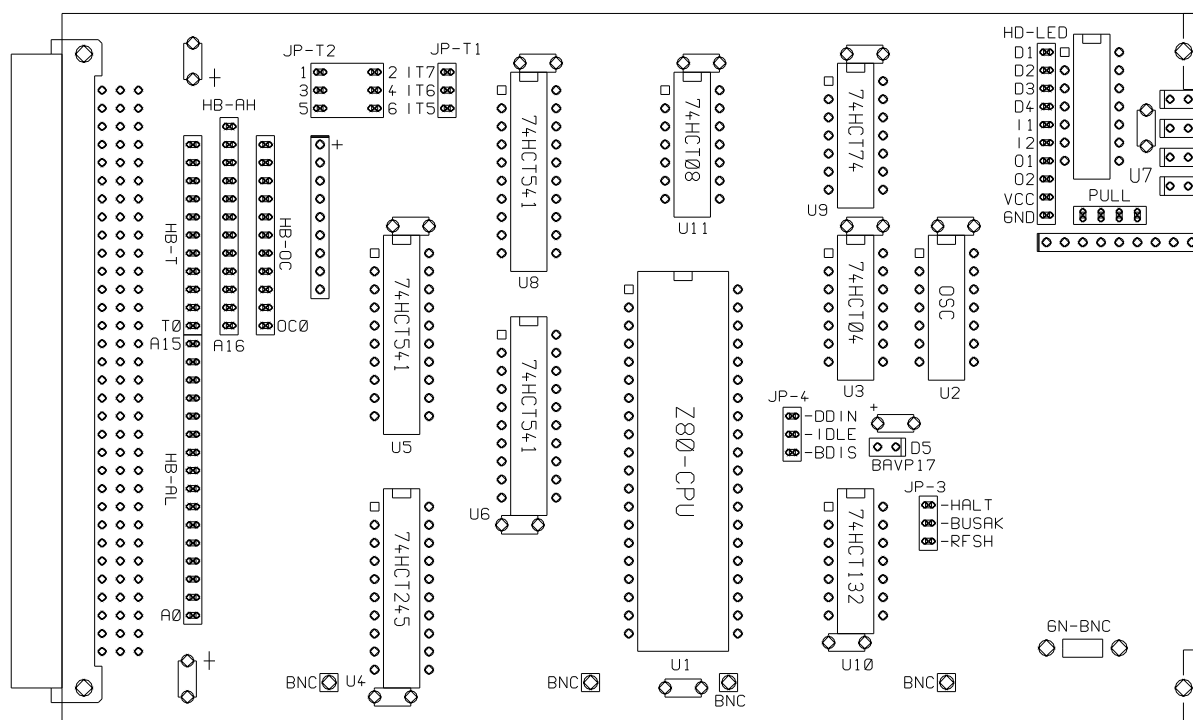
Nr	Nazwa	Typ	Układ	Funkcja
1	IT7	I	HCT541	wejście bufora
2	IT6	I	HCT541	wejście bufora
3	IT5	I	HCT541	wejście bufora

Łączówka JP-T2 pozwala na wyprowadzenie na linii T5÷T7 szyny systemu dowolnych sygnałów z pakietu. Mogą one być zbuforowane przez układ typu 74541 (co pozwala na wprowadzenie odpowiednich linii szyny w stan wysokiej impedancji), lub wyprowadzone bezpośrednio na szynę.

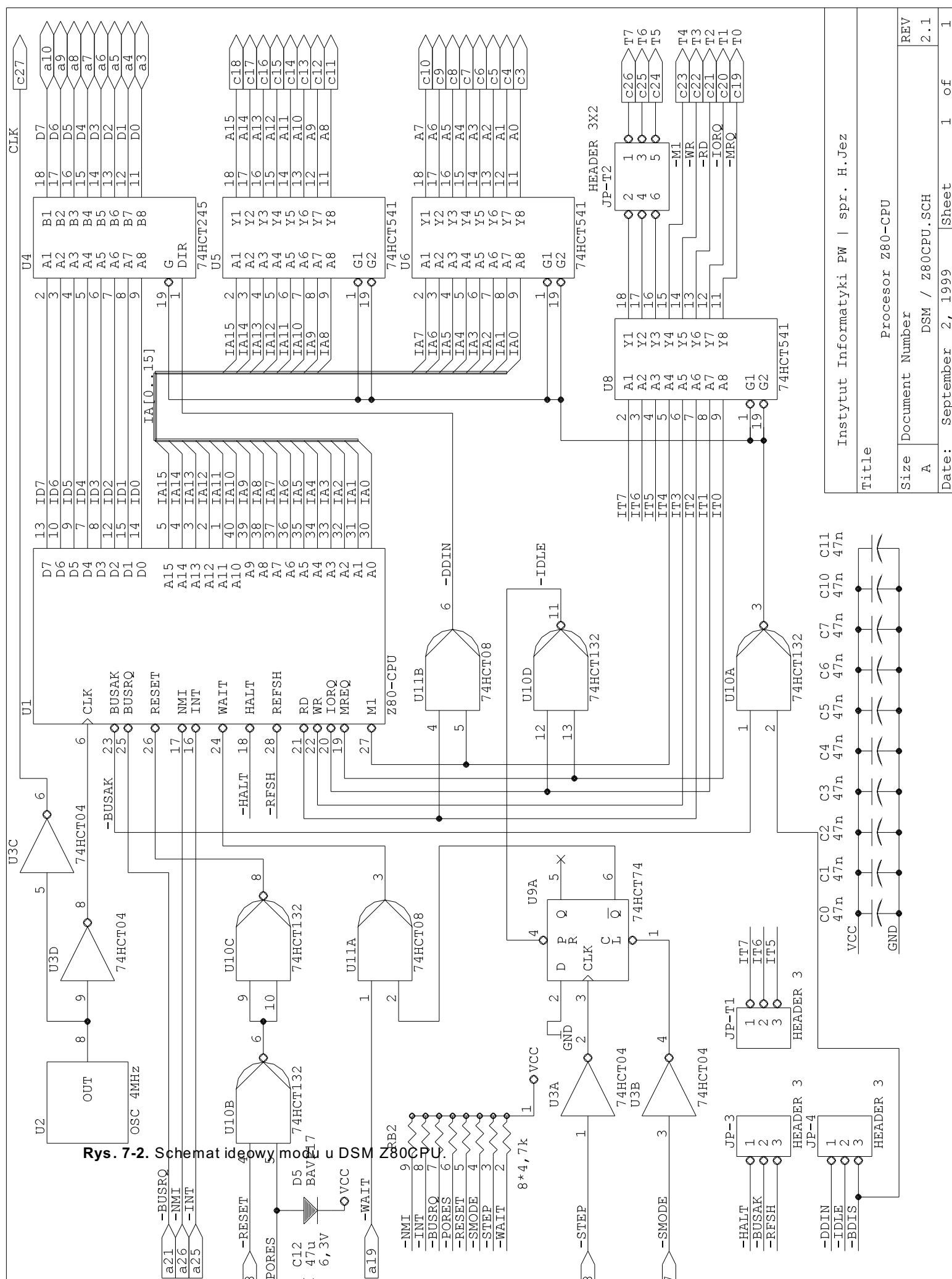
Nr	Nazwa	Typ	Układ	Funkcja
1	T7	I/O/Z	X1C	linia szyny systemu
2	OT7	O/Z	HCT541	wyjście bufora
3	T6	I/O/Z	X1C	linia szyny systemu
4	OT6	O/Z	HCT541	wyjście bufora
5	T5	I/O/Z	X1C	linia szyny systemu
6	OT5	O/Z	HCT541	wyjście bufora

Złącza zewnętrzne

Pakiet nie posiada złączy zewnętrznych.



Rys. 7-1. Rozłożenie elementów na module DSM Z80CPU.



Rys. 7-2. Schemat ideowy modu u DSM Z80CPU

Instytut Informatyki PW spr. H.Jez		
Title		
Procesor z80-CPU		
Size	Document Number	REV
A	DSM / z80CPU.SCH	2.1
Date:	September 2, 1999	Sheet 1 of 1

Pakiet 68000

Funkcja pakietu w systemie

Pakiet procesora 68000 jest modulem aktywnym. Zawiera on 32-bitowy mikroprocesor typu MC68000 oraz niezbędne układy logiki i buforów. Pakiet posiada 24-bitową szynę adresową i 16-bitową szynę danych; może on współpracować z modułami biernymi o 8- lub 16-bitowej szynie danych. Pakiet jest wyposażony w układ pracy krokowej procesora.

Struktura sygnałów sterujących procesora MC68000 definiuje logiczny standard szyny systemu.

Struktura pakietu

W pakiecie 68000 można wyróżnić następujące moduły:

- procesor z układami logiki,
- układy inicjacji działania procesora i pracy krokowej,
- układy logiki przerwań,
- bufory szyny procesora.

Blok procesora zawiera:

- mikroprocesor MC68000 (U8),
- układ generacji sygnału synchronizacji procesora i systemu,
- inwerter typu 7404 (U11F), generujący sygnał -DDIN sterujący kierunkiem przepływu danych przez bufor szyny.

Blok inicjacji procesora i pracy krokowej zawiera:

- generator sygnałów -RESET i -HALT procesora wyzwalany przy włączeniu zasilania lub uaktywnieniu linii -RESET szyny systemu,
- układ pracy krokowej blokujący sygnały -DTACK i -BERR, sygnalizujące procesorowi gotowość systemu do zakończenia cyklu transmisji.

Blok logiki przerwań zawiera:

- układ enkodera priorytetowego typu 74148 (U9), generujący 3-bitowy numer poziomu przerwania dla procesora,
- generator sygnału cyklu potwierdzenia przyjęcia przerwania -INTA, zawierający bramkę NAND typu 7420 (U13A) oraz bramkę OC typu 7417 (U14C); sygnał -INTA może zostać wyprowadzony na szynę systemu lub wykorzystany do spowodowania automatycznej generacji numeru przerwania przez procesor.

Blok buforów zawiera 2 układy typu 74245 (U2, U3) buforujące szynę danych oraz 4 układy typu 74541 (U1, U6, U5, U4), służące do buforowania szyny adresowej i trójstanowych linii sterowania transmisją.

Ustalone połączenia z szyną systemu

Szyna adresowa A1÷A23 procesora jest połączona z liniami A1÷A23 szyny systemu za pośrednictwem układów typu 74541. Linia adresowa A0 systemu ma stan

"0" podłączony przez jeden z w/w układów 74541.

Szyna danych D0÷D15 procesora jest połączona z liniami D0÷D15 szyny systemu za pośrednictwem układów typu 74245.

Sygnały sterujące -AS, R/-W, -LDS, -UDS są dołączone odpowiednio do linii T0÷T3 za pośrednictwem układu 74541.

Sygnał synchronizujący CLK jest doprowadzony do linii CLK szyny.

Linia -DTACK procesora jest sterowana z linii OC0 szyny.

Linia -BERR procesora jest sterowana z linii OC1 szyny.

Wejścia enkodera poziomów przerwań odpowiadające zgłoszeniom przerwań o poziomach 1, 3, 5 i 7 są połączone odpowiednio z liniami OC4÷OC7 szyny systemu.

Linie -RESET, -SMODE i -STEP pakietu są połączone z liniami szyny systemu o tych samych nazwach.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka JP1 służy do konfiguracji układu przerwań pakietu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-INTA	O/Z	17	sygnalizacja cyklu identyfikacji przerwania
2	-VPA	I	MC68000	żądanie synchronicznego cyklu transmisji lub generacji numeru przerwania
3	-I2	O	LS148	wyjście numeru poziomu przerwania
4	-IPL2	I	MC68000	wejście numeru poziomu przerwania
5	-I1	O	LS148	wyjście numeru poziomu przerwania
6	-IPL1	I	MC68000	wejście numeru poziomu przerwania
7	-I0	O	LS148	wyjście numeru poziomu przerwania
8	-IPL0	I	MC68000	wejście numeru poziomu przerwania

Łączówka JP3 udostępnia sygnały generowane przez procesor i sygnały sterujące, które mogą być wykorzystane przez użytkownika po wyprowadzeniu ich na szynę systemu.

Nr	Nazwa	Ty p	Układ	Funkcja
----	-------	------	-------	---------

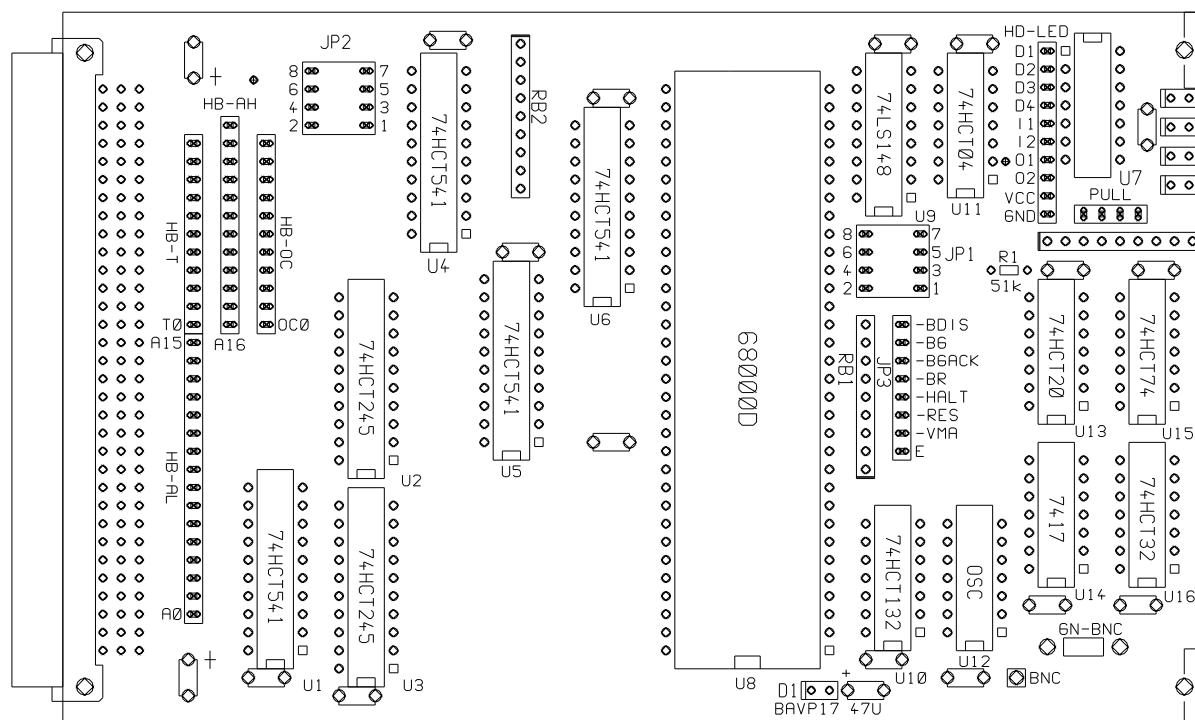
1	-BDIS	I/C	HCT132	żądanie odcięcia buforów szyny
2	-BG	O	MC68000	potwierdzenie zwolnienia szyny przez procesor
3	-BGACK	I/C	MC68000	potwierdzenie przejęcia szyny
4	-BR	I/C	MC68000	żądanie zwolnienia szyny przez procesor
5	-HALT	I/O	MC68000	wejście/wyjście zatrzymania procesora
6	-RES	I/O	MC68000	wejście/wyjście sygnału inicjacji systemu
7	-VMA	O	MC68000	wyjście sygnalizacji cyklu synchronicznego
8	E	O	MC68000	wyjście sygnału synchronizacji transmisji

Łączówka JP2 pozwala na doprowadzenie do linii T5+T7 szyny systemu dowolnych sygnałów z pakietu. Mogą to być np. buforowane przez układ typu 74541 sygnały wyjściowe procesora -VMA, FC0, FC1, FC2.

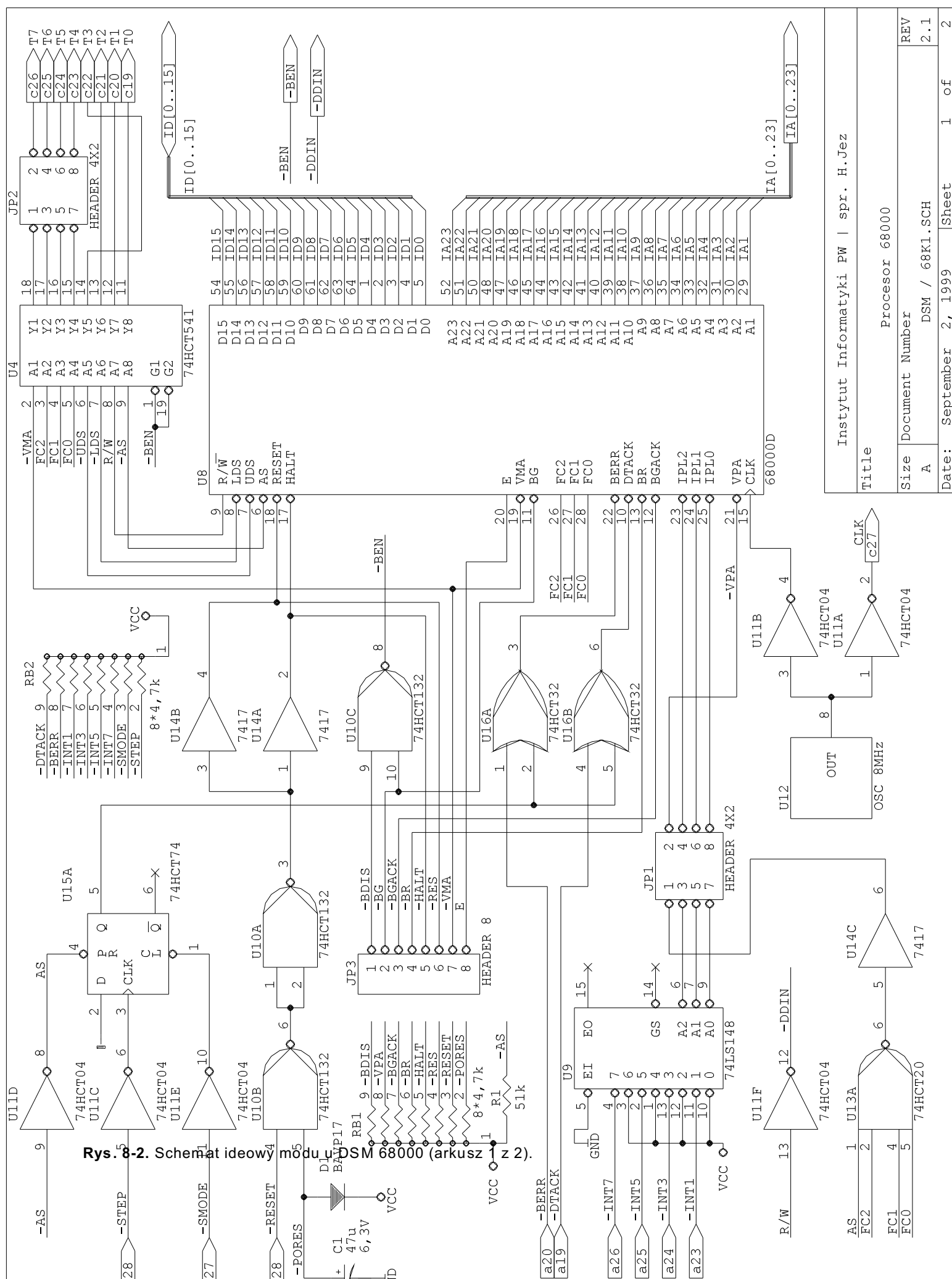
Nr	Nazwa	Typ	Układ	Funkcja
1	-VMA	O/Z	HCT541	sygnał strobujący cyklu synchronicznego
2	T7	I/O/Z	X1C	linia szyny systemu
3	FC2	O/Z	HCT541	linia wyboru przestrzeni adresowej
4	T6	I/O/Z	X1C	linia szyny systemu
5	FC1	O/Z	HCT541	linia wyboru przestrzeni adresowej
6	T5	I/O/Z	X1C	linia szyny systemu
7	FC0	O/Z	HCT541	linia wyboru przestrzeni adresowej
8	T4	I/O/Z	X1C	linia szyny systemu

Złącza zewnętrzne

Pakiet nie posiada złączy zewnętrznych.

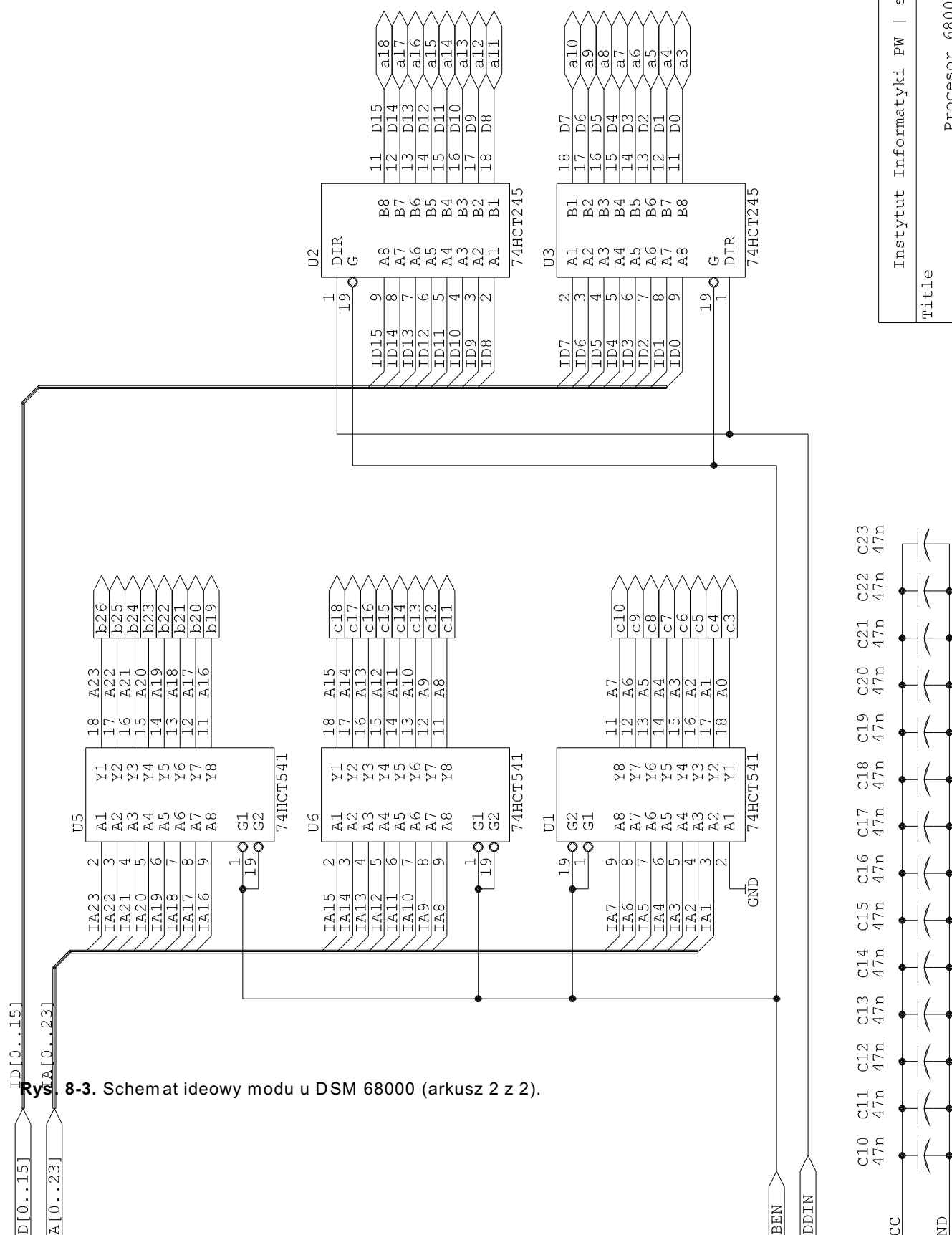


Rys. 8-1. Rozłożenie elementów na module DSM 68000.



Rys. 8-2. Schemat ideowy modułu DSM 68000 (arkusz 1 z 2).

Instytut Informatyki PW spr. H.Jez		
Title		
Procesor 68000		
Size	Document Number	REV
A	DSM / 68K1.SCH	2.1
Date:	September 2, 1999	Sheet 1 of 2



Rys. 8-3. Schemat ideowy modu u DSM 68000 (arkusz 2 z 2).

Instytut Informatyki PW spr. H.Jez		
Title		
Processor 68000		
Size	Document Number	REV
A	DSM / 68K2.SCH	2.0
Date:	September 26, 1994	Sheet 2 of 2

Pakiet 8051

Funkcja pakietu w systemie

Pakiet procesora 8051 jest modulem czynnym. Zawiera on mikrokomputer jednoukładowy rodziny MCS-51 w obudowie DIL40 (np. 8031, 80C31, 8051, 87C51) oraz niezbędne układy logiki i bufony szyny systemu. Pakiet posiada 16-bitową szynę adresową i 8-bitową szynę danych i może współpracować z modułami biernymi o 8-bitowej szynie danych.

Pakiet inicjuje cykle transmisji na szynie systemu. Struktura sygnałów sterujących procesora i8051 określa logiczny standard szyny systemu.

Procesory rodziny 8051 nie umożliwiają wydłużenia cyklu szyny, korzystanie z pracy krokowej w procesie uruchamiania systemu z pakietem 8051 jest więc niemożliwe.

Struktura pakietu

W pakiecie 8051 można wyróżnić następujące bloki:

- procesor z układami logiki,
- układ inicjacji działania procesora,
- bufory szyny procesora,
- bufory łączy RS232C.

Blok procesora zawiera:

- mikroprocesor rodziny MCS-51 (U8),
- układ generacji sygnału synchronizacji procesora i systemu,
- bramkę NAND (U5A) i inwerter (U6C),
- generujące sygnał -DDIN sterujący kierunkiem przepływu danych przez bufony szyny.

Blok inicjacji procesora zawiera generator sygnału RESET procesora przy włączeniu zasilania lub uaktywnieniu linii -RESET szyny.

Blok buforów szyny zawiera układ typu 74245 (U1) buforujący szynę danych oraz zatrzask typu 74573 (U3) i dwa układy typu 74541 (U2, U4), służące do buforowania linii adresowych i linii sterowania transmisją.

Bufory łączy RS232C stanowią układy MC145406P (U11) oraz MC1489 (U10). Są one połączone na stałe z końcówkami złącza zewnętrznego umieszczonego na listwie maskującej pakietu. Po stronie poziomów logicznych TTL wszystkie sygnały buforów są wyprowadzone na łączówkę.

Ustalone połączenia z szyną systemu

Szyna adresowa A0÷A15 jest wyprowadzona z portów P0 i P2 procesora. Sygnały adresu A0÷A7 są uzyskiwane przez zatrzaskiwanie stanu linii portu P0 opadającym zboczem na linii ALE. Szyna jest buforowana przy użyciu układów typu 74541 i 74573 i jest połączona z liniami A0÷A15 szyny systemu.

Szyna danych D0÷D7 procesora (port P0) jest połączona z liniami D0÷D7 szyny systemu za pośrednictwem układu 74245.

Sygnały sterujące -PSEN, ALE, -RD, -WR są dołączone odpowiednio do linii T0÷T3 za pośrednictwem układu

74541.

Sygnał synchronizujący jest doprowadzony do linii CLK szyny.

Linie P3.2÷P3.5 (-INT0, -INT1, T0, T1) procesora są dołączone odpowiednio do linii OC4÷OC7 szyny systemu.

Linia -BDIS sterująca aktywnością buforów jest połączona z linią OC2 szyny systemu.

Linia -RESET szyny stanowi wejście układu generacji sygnału RESET procesora.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka JP-X pozwala na właściwe dołączanie przebiegu synchronizującego do procesora. Procesory rodziny 8051 wykonane w technologii NMOS i CMOS wymagają odmiennego doprowadzenia zewnętrznego sygnału zegara. W przypadku użycia procesora NMOS należy zewrzeć wyprowadzenia 1 i 2 oraz 3 i 4. Dla procesorów CMOS należy zewrzeć wyprowadzenie 2 z 3 a wyprowadzenia 1 i 4 pozostawić nie połączone.

Nr	Nazwa	Typ	Układ	Funkcja
1	X2	I	8051	wejście oscylatora NMOS
2	CLK	O	HCT04	wyjście przebiegu synchronizującego
3	X1	I	8051	wejście oscylatora CMOS
4	GND	PWR	-	linia masy

Łączówka JP-E/V służy do wyboru konfiguracji pamięci programu procesora. W przypadku wykorzystywania wewnętrznej pamięci ROM/EPROM procesora należy zewrzeć wyprowadzenia 1 i 2, w przeciwnym razie - wyprowadzenia 2 i 3.

Nr	Nazwa	Typ	Układ	Funkcja
1	VCC	PWR	-	linia zasilania +5V
2	E/V	I	8051	wejście wyboru pamięci ROM
3	GND	PWR	-	linia masy

Łączówka JP-P1 udostępnia sygnały portu P1 procesora 8051.

Nr	Nazwa	Typ	Układ	Funkcja
1	P1.0	I/O	8051	wejście-wyjście
2	P1.1	I/O	8051	wejście-wyjście
3	P1.2	I/O	8051	wejście-wyjście
4	P1.3	I/O	8051	wejście-wyjście
5	P1.4	I/O	8051	wejście-wyjście
6	P1.5	I/O	8051	wejście-wyjście
7	P1.6	I/O	8051	wejście-wyjście
8	P1.7	I/O	8051	wejście-wyjście

Łączówka JP-P3 udostępnia sygnały portu P3 procesora 8051.

Nr	Nazwa	Typ	Układ	Funkcja
1	P3.0	I/O	8051	wejście-wyjście (RxD)
2	P3.1	I/O	8051	wejście-wyjście (TxD)
3	P3.2	I/O	8051	wejście-wyjście (INT0)
4	P3.3	I/O	8051	wejście-wyjście (INT1)
5	P3.4	I/O	8051	wejście-wyjście (T0)
6	P3.5	I/O	8051	wejście-wyjście (T1)
7	P3.6	I/O	8051	wejście-wyjście (-WR)
8	P3.7	I/O	8051	wejście-wyjście (-RD)

Łączówka JP-IT umożliwia doprowadzenie wybranych sygnałów na wejścia bufora U6 typu 74541.

Nr	Nazwa	Typ	Układ	Funkcja
1	IT7	I	HCT541	wejście bufora
2	IT6	I	HCT541	wejście bufora
3	IT5	I	HCT541	wejście bufora

Łączówka JP-T pozwala na wyprowadzenie do linii T5÷T7 szyny systemu lub inne wykorzystanie wybranych sygnałów buforowanych przez układ typu 74541 (co pozwala na wprowadzenie odpowiednich linii szyny w stan wysokiej impedancji).

Nr	Nazwa	Typ	Układ	Funkcja
1	BT7	O/Z	HCT541	wyjście bufora
2	BT6	O/Z	HCT541	wyjście bufora
3	BT5	O/Z	HCT541	wyjście bufora

Łączówka JP-RS grupuje linie łącza RS232C po stronie poziomów logicznych TTL.

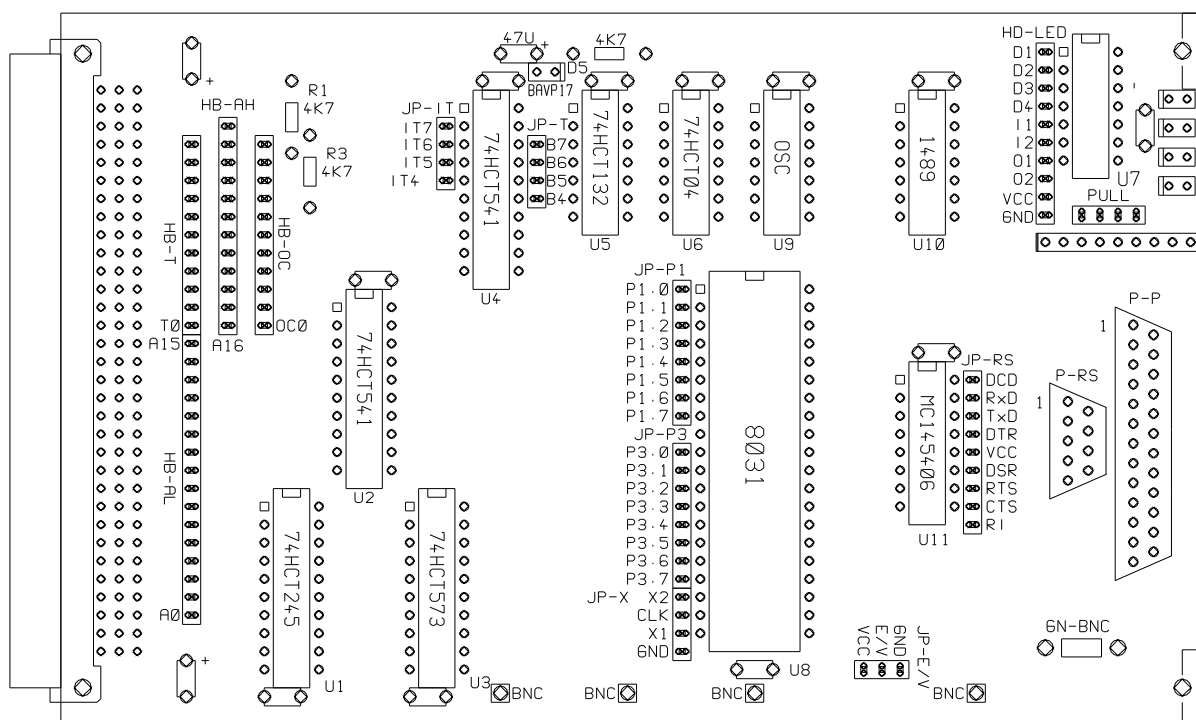
Nr	Nazwa	Typ	Układ	Funkcja
1	DCD	O	1489	testowalne wejście
2	RxD	O	145406	wejście danych szeregowych
3	TxD	I	145406	wyjście danych szeregowych
4	DTR	I	145406	programowalne wyjście binarne
5	VCC	PWR	-	linia zasilania +5V
6	DSR	O	145406	testowalne wejście
7	RTS	I	145406	żądanie rozpoczęcia nadawania
8	CTS	O	145406	odblokowanie nadajnika
9	RI	O	1489	sygnalizacja początku transmisji

Złącza zewnętrzne

Pakiet posiada dwa złącza zewnętrzne. Gniazdo szufladowe ELTRA-25 (typ 88102503) o nazwie P-P udostępnia do wykorzystania poza pakietem sygnały z portów procesora P1, P2 i P3. Wtyk szufladowy ELTRA-9 (typ 87100901) o nazwie P-RS wyprowadza podzbiór sygnałów złącza RS232C. Z uwagi na rodzaj i sposób okablowania złącza P-RS pakiet pracuje jako urządzenie typu DTE. Rozmieszczenie linii sygnałowych jest przedstawione w tabelach.

Nazwa	Nr	Nr	Nazwa
P1.0	1	14	P1.1
P1.2	2	15	P1.3
P1.4	3	16	P1.5
P1.6	4	17	P1.7
P2.0	5	18	P2.1
P2.2	6	19	P2.3
P2.4	7	20	P2.5
P2.6	8	21	P2.7
P3.0	9	22	P3.1
P3.2	10	23	P3.3
P3.4	11	24	P3.5
P3.6	12	25	P3.7
GND	13	złącze P-P	

Nazwa	Nr	Nr	Nazwa
-DCD	1	6	-DSR
-RXD	2	7	-RTS
-TXD	3	8	-CTS
-DTR	4	9	-RI
GND	5	złącze P-RS	



Rys. 9-1. Roz o enie elementów na module DSM 8051.



Rys. 9-2. Schemat ideowy modułu DSM 8051.

Instytut Informatyki PW spr. H.Jez		
Title		
Procesor 8051		
Size	Document Number	REV
A	DSM / 8051.SCH	2.1
Date:	September 2, 1999	Sheet 1 of 1

Pakiet 8237

Funkcja pakietu w systemie

Pakiet 8237 jest modulem sterownika bezpośredniego dostępu do pamięci, współpracującym z 8-bitową szyną danych. Zastosowany sterownik umożliwia korzystanie z czterech programowanych kanałów DMA.

Jako moduł bierny, pakiet 8237 odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, inny sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie sterobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Jako moduł czynny, pakiet 8237 nadzoruje przebieg transmisji danych pomiędzy urządzeniami wejścia/wyjścia i (lub) pamięcią.

Struktura pakietu

W skład pakietu 8237 wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- sterownik scalony 8237,
- bufory szyny.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyna danych nie jest buforowana.

Bufory szyny

Dane o układach buforujących wykorzystywanych na pakiecie zostały zestawione w tabeli.

Nazwa linii	Typ linii	Typ układu	Numer układu
A0÷A7	I/O/Z	74HCT245	U8
A8÷A15	O/Z	74HCT573	U9

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Buforowanie innych sygnałów pozostaje pod kontrolą użytkownika.

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V) i masy,
- linie danych D0÷D7.

Linie adresu są dołączone do szyny za pośrednictwem buforów trójstanowych.

Możliwości konfiguracji

Łączówka H3 grupuje sygnały potwierdzenia żądania transmisji DMA.

Nr	Nazwa	Typ	Układ	Funkcja
1	DAK0	O	8237	potwierdzenie transmisji w kanale 0
2	DAK1	O	8237	potwierdzenie transmisji w kanale 1
3	DAK2	O	8237	potwierdzenie transmisji w kanale 2
4	DAK3	O	8237	potwierdzenie transmisji w kanale 3

Łączówka H6 grupuje sygnały związane z przekazywaniem kontroli nad szyną systemu i wydłużaniem cykli transmisji.

Nr	Nazwa	Typ	Układ	Funkcja
1	RDY	I	8237	sygnalizacja gotowości modułów biernych
2	HLDA	I	8237	potwierdzenie zwolnienia szyny
3	HOLD	O	8237	żądanie zwolnienia szyny
4	-CS	I	8237	linia wyboru układu
5	CLK	I	8237	sygnał zegara szyny
6	RES	I	8237	linia zerowania układu

Łączówka H7 grupuje sygnały zgłoszenia żądania transmisji DMA.

Nr	Nazwa	Typ	Układ	Funkcja
1	DRQ3	I	8237	żądanie transmisji w kanale 3
2	DRQ2	I	8237	żądanie transmisji w kanale 2
3	DRQ1	I	8237	żądanie transmisji w kanale 1
4	DRQ0	I	8237	żądanie transmisji w kanale 0

Łączówka H8 grupuje sygnały związane z komunikacją pomiędzy sterownikiem i szyną systemu oraz lokalne sygnały sterujące.

Nr	Nazwa	Typ	Układ	Funkcja
1	EOP	OC	8237	sygnalizacja/żądanie końca transmisji
2	-IOR	I/O/Z	8237	strob odczytu danych z układów we/wy
3	-IOW	I/O/Z	8237	strob zapisu danych do układów we/wy
4	-MEMR	I/O/Z	8237	strob odczytu danych z pamięci
5	-MEMW	I/O/Z	8237	strob zapisu danych do pamięci
6	AEN	O	8237	sterowanie buforami szyny
7	ADSTB	O	8237	strob zapisu adresu do rejestru buforowego
8	OC	I	HCT573	sterowanie aktywnością wyjść
9	G	I	HCT245	sterowanie aktywnością wyjść
10	GND	PWR	-	linia masy

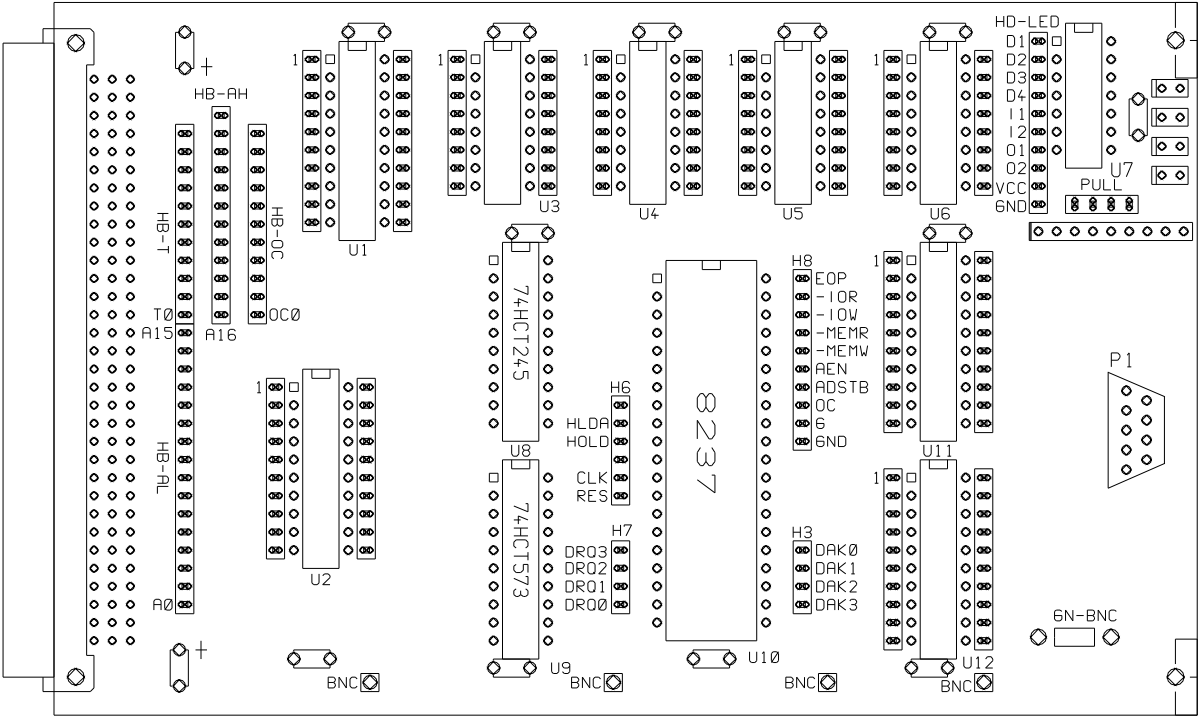
Pozostałe łączówki wchodzą w skład części stałej pakietu. Dodatkowo na pakiecie są zainstalowane 2 podstawki DIL20 (U11, U12) z podłączonym zasilaniem i masą. Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń. Podstawki te mogą być wykorzystane przy budowie układów

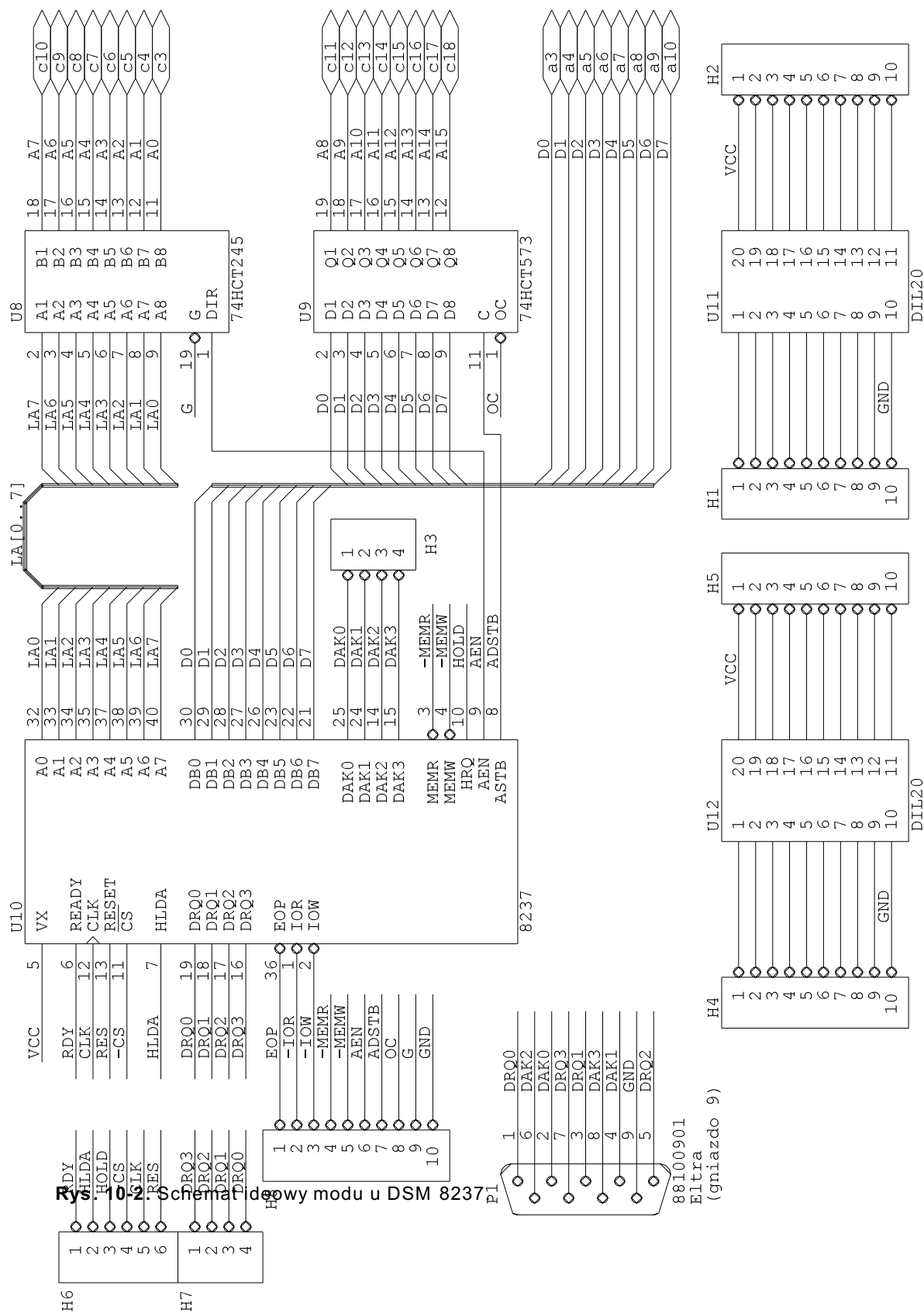
sterujących.

Złącza zewnętrzne

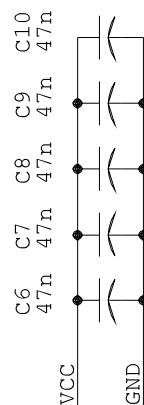
Na zewnątrz pakietu jest dostępne gniazdo szufladowe ELTRA-9 (typ 88100901). Złącze jest bezpośrednio połączone z łączówkami H3 i H7. Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nr	Nazwa
DRQ0	1	6	DAK2
DAK0	2	7	DRQ3
DRQ1	3	8	DAK3
DAK1	4	9	GND
DRQ2	5	złącze P1	





Rys. 10-2. Schemat ideowy modu u DSM 8237



Instytut Informatyki PW spr. H.Jez		
Title		
Size	Document Number	REV
A	DSM / 8237.SCH	2.0
Date:	June 29, 1999	Sheet 1 of 1

Pakiet 8250

Funkcja pakietu w systemie

Pakiet 8250 jest modulem szeregowego wejścia/wyjścia, współpracującym z 8-bitową szyną danych. Pakiet zawiera układy umożliwiające wykorzystywanie asynchronicznego łącza szeregowego w standardzie RS232.

Jako moduł bierny, pakiet 8250 odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Struktura pakietu

W skład pakietu 8250 wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- sterownik scalony 8250,
- generator zegara transmisji,
- bufory łącza.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyna danych nie jest buforowana. Buforowanie innych sygnałów szyny pozostaje pod kontrolą użytkownika.

Generator zegara transmisji jest zbudowany ze scalonego oscylatora (U13); typowe częstotliwości transmisyjne są uzyskiwane z częstotliwości podstawowej (nominalnie 3.072 MHz) w wewnętrznym, programowanym dzielniku częstotliwości układu 8250.

Bufory łącza

Sposób buforowania linii łącza jest przedstawiony w tabeli.

Nazwa linii	Typ	Układ	Nr układu
TXD,RTS,DTR	O	1488	U12
RXD,CTS,DSR,DCD	I	1489	U11

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V, +12V, -12V) i masy,
- linie danych D0÷D7.

Możliwości konfiguracji

Łączówka H5 grupuje sygnały dostępu i sygnały zegarowe.

Nr	Nazwa	Typ	Układ	Funkcja
1	-DOSTR	I	8250	strob zapisu danych
2	DOSTR	I	8250	strob zapisu danych
3	-DISTR	I	8250	strob odczytu danych
4	DISTR	I	8250	strob odczytu danych
5	-ADS	I	8250	strob adresu
6	MR	I	8250	linia zerowania układu
7	RCLK	I	8250	sygnał zegarowy odbiornika (×16)
8	XTAL1	I	8250	wejście wewnętrznego oscylatora
9	XTAL2	O	8250	wyjście wewnętrznego oscylatora
10	GND	PWR	-	linia masy

Łączówka H6 grupuje sygnały związane z wybieraniem układu sterownika i adresowaniem rejestrów wewnętrznych.

Nr	Nazwa	Typ	Układ	Funkcja
1	IA0	I	8250	linia wyboru rejestru
2	IA1	I	8250	linia wyboru rejestru
3	IA2	I	8250	linia wyboru rejestru
4	CS0	I	8250	linia wyboru układu
5	CS1	I	8250	linia wyboru układu
6	-CS2	I	8250	linia wyboru układu

Łączówka H8 grupuje sygnały sterujące.

Nr	Nazwa	Typ	Układ	Funkcja
1	DDIS	O	8250	sterowanie zewnętrznego bufora danych
2	CSO	O	8250	sygnał wybrania układu
3	-OUT1	O	8250	programowalne wyjście binarne
4	-OUT2	O	8250	programowalne wyjście binarne
5	BDOUT	O	8250	sygnał zegarowy nadajnika (×16)
6	INTR	O	8250	zgłoszenie przerwania

Łączówka H7 grupuje sygnały łącza szeregowego o poziomach TTL. *Uwaga! Nie dopuszczać do zwierania końcówek przewodów montażowych z sąsiadującymi wyprowadzeniami układów U11 i U12.*

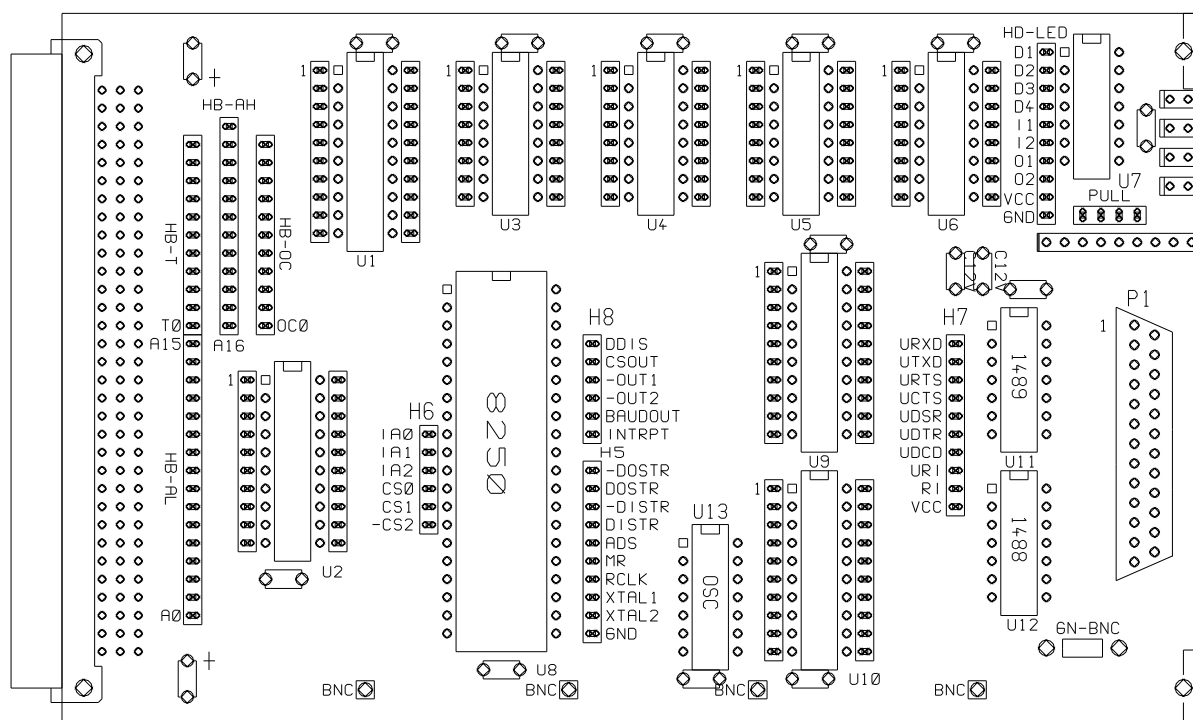
Nr	Nazwa	Typ	Układ	Funkcja
1	URXD	I	8250	wejście danych szeregowych
2	UTXD	O	8250	wyjście danych szeregowych
3	URTS	O	8250	żądanie rozpoczęcia nadawania
4	UCTS	I	8250	odblokowanie nadajnika
5	UDSR	I	8250	testowalne wejście
6	UDTR	O	8250	programowalne wyjście binarne
7	UDCD	I	8250	testowalne wejście
8	URI	I	8250	sygnalizacja początku transmisji
9	RI	I	P1	sygnał początku transmisji na złączu P1
10	VCC	PWR	-	linia zasilania +5V

Pozostałe łączówki wchodzi w skład części stałej pakietu. Dodatkowo na pakiecie są zainstalowane 2 podstawki DIL20 (U9, U10) z podłączonym zasilaniem i masą. Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń. Podstawki te mogą być wykorzystane dla potrzeb rozbudowy układów sterujących lub buforujących (np. w celu użycia linii RI) oraz przy realizacji łącza o innym standardzie elektrycznym (np. z wykorzystaniem optoizolacji); należy wówczas pamiętać o wyjęciu z podstawek układów buforujących 1488 i 1489.

Złącza zewnętrzne

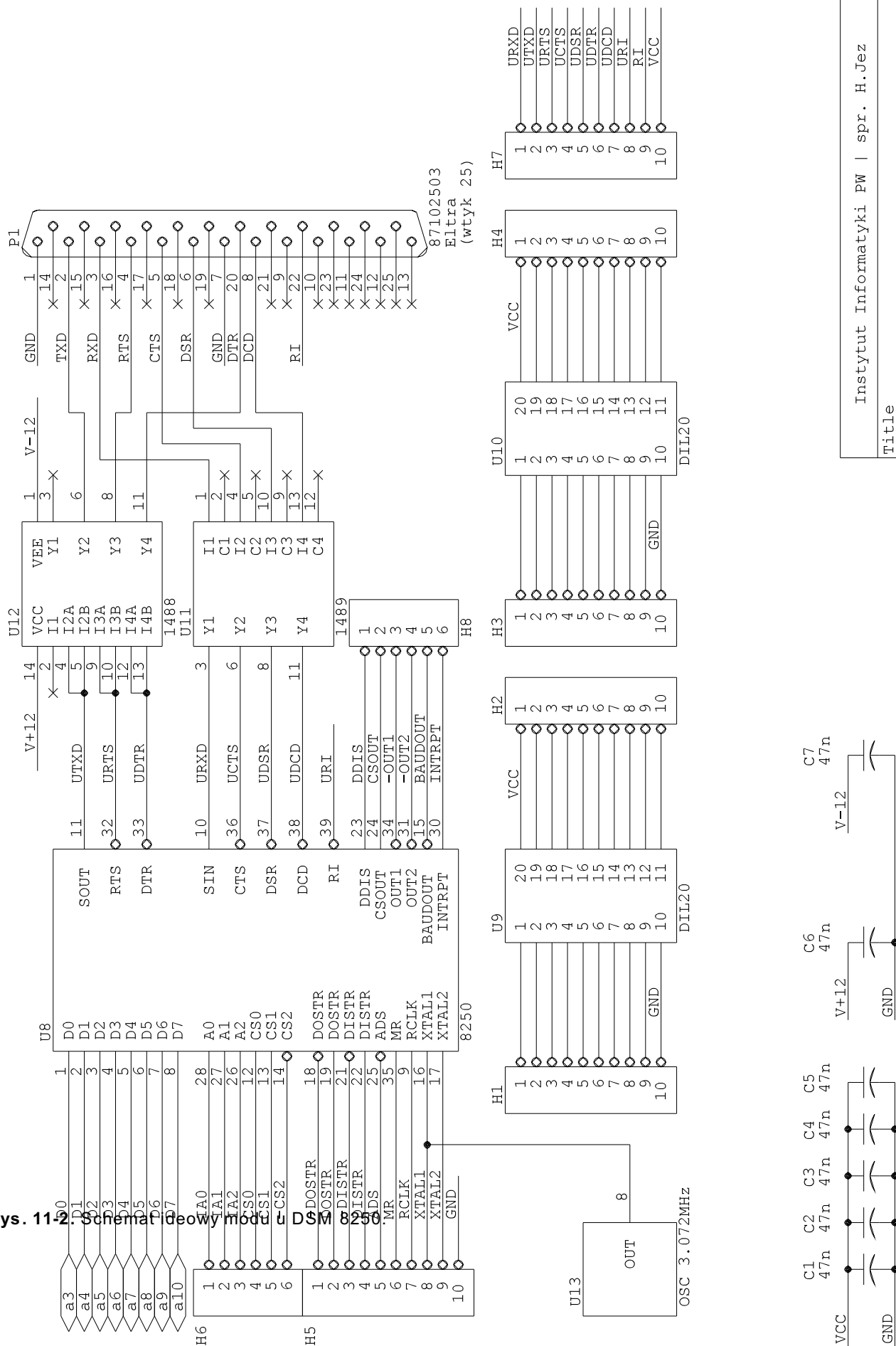
Na zewnątrz pakietu jest dostępny wtyk szufladowy ELTRA-25 (typ 87102503) o nazwie P1, zapewniający podzbiór sygnałów złącza RS-232C. Wtyk jest dołączony bezpośrednio do podstawek U11, U12. Z uwagi na rodzaj i sposób okablowania złącza pakiet pracuje jako urządzenie typu DTE. Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nr	Nazwa
GND	1	14	
TXD	2	15	
RXD	3	16	
RTS	4	17	
CTS	5	18	
DSR	6	19	
GND	7	20	DTR
DCD	8	21	
	9	22	RI
	10	23	
	11	24	
	12	25	
	13	złącze P1	



Rys. 11-1. Roz o enie elementów na module DSM 8250.

Rys. 11-2. Schemat ideowy modułu DSM 8250



Instytut Informatyki PW spr. H.Jez		
Title		
Sterownik transmisji szeregowej		
Size	Document Number	REV
A	DSM / 8250.SCH	2.0
Date:	June 29, 1999	Sheet 1 of 1

Pakiet 8254

Funkcja pakietu w systemie

Pakiet 8254 jest modulem licznika/zegara, współpracującym z 8-bitową szyną danych. Zastosowany sterownik umożliwia korzystanie z 3 kanałów realizujących uzależnienia czasowe przy użyciu liczników 16-bitowych.

Jako moduł bierny, pakiet 8254 odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Struktura pakietu

W skład pakietu 8254 wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- sterownik scalony 8254.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyna danych nie jest buforowana. Buforowanie innych sygnałów szyny pozostaje pod kontrolą użytkownika.

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V) i masy,
- linie danych D0÷D7.

Możliwości konfiguracji

(I-wyście, O-wyście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka H4 grupuje sygnały związane z komunikacją pomiędzy sterownikiem i szyną systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-RD	I	8254	strob odczytu danych
2	-WR	I	8254	strob zapisu danych
3	IA0	I	8254	linia wyboru kanału
4	IA1	I	8254	linia wyboru kanału
5	-CS	I	8254	linia wyboru układu

Łączówka H1 grupuje niebuforowane sygnały zegarowe.

Nr	Nazwa	Typ	Układ	Funkcja
1	UCLK0	I	8254	sygnał zegarowy kanału 0
2	UG0	I	8254	sygnał wyzwalania kanału 0
3	UOUT0	O	8254	sygnał końca zliczania w kanale 0
4	UCLK1	I	8254	sygnał zegarowy kanału 1
5	UG1	I	8254	sygnał wyzwalania kanału 1
6	UOUT1	O	8254	sygnał końca zliczania w kanale 1
7	UCLK2	I	8254	sygnał zegarowy kanału 2
8	UG2	I	8254	sygnał wyzwalania kanału 2
9	UOUT2	O	8254	sygnał końca zliczania w kanale 2
10	VCC	PWR	-	linia zasilania +5V

Łączówka H7 grupuje buforowane sygnały zegarowe i jest bezpośrednio połączona z wyprowadzeniami złącza zewnętrznego P1.

Nr	Nazwa	Typ	Układ	Funkcja
1	CLK0	I	P1	sygnał zegarowy kanału 0
2	G0	I	P1	sygnał wyzwalania kanału 0
3	OUT0	O	P1	sygnał końca zliczania w kanale 0
4	CLK1	I	P1	sygnał zegarowy kanału 1
5	G1	I	P1	sygnał wyzwalania kanału 1
6	OUT1	O	P1	sygnał końca zliczania w kanale 1
7	CLK2	I	P1	sygnał zegarowy kanału 2
8	G2	I	P1	sygnał wyzwalania kanału 2
9	OUT2	O	P1	sygnał końca zliczania w kanale 2
10	GND	PWR	-	linia masy

Łączówka H8 grupuje niezdefiniowane sygnały złącza zewnętrznego P1.

Nr	Nazwa	Typ	Układ	Funkcja
1	PIN10	X	P1	wyprowadzenie nr 10
2	PIN11	X	P1	wyprowadzenie nr 11
3	PIN12	X	P1	wyprowadzenie nr 12
4	PIN13	X	P1	wyprowadzenie nr 13
5	PIN14	X	P1	wyprowadzenie nr 14

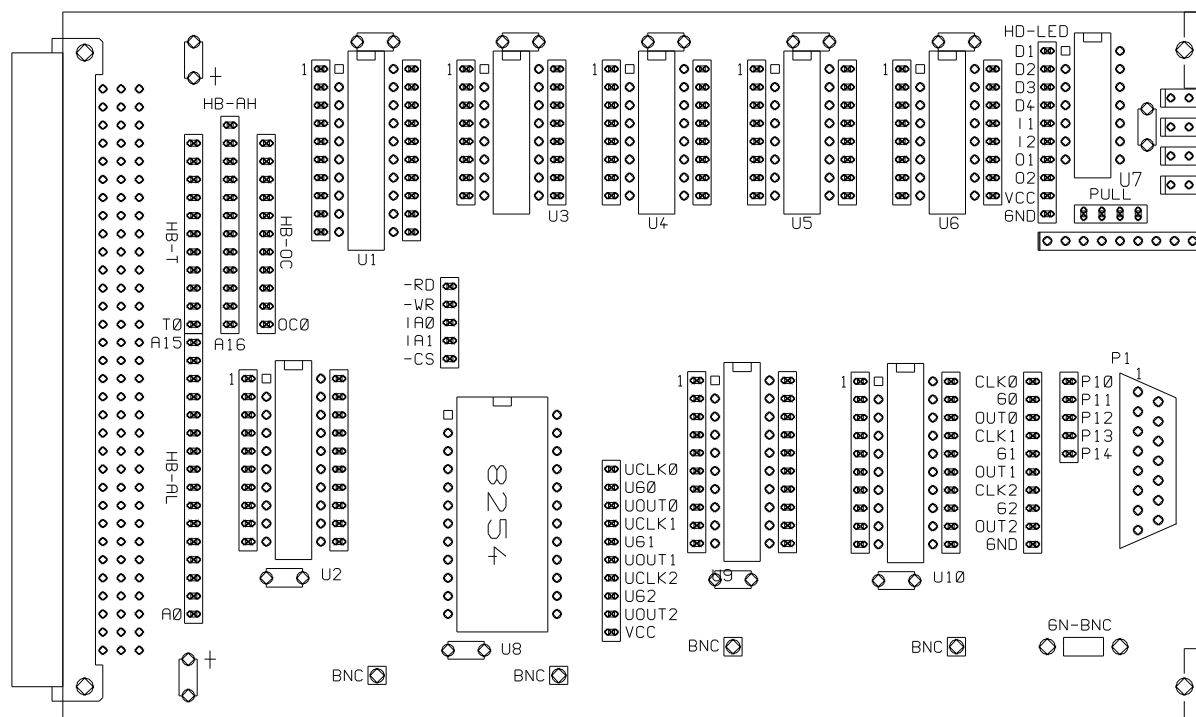
Pozostałe łączówki wchodzą w skład części stałej pakietu. Dodatkowo na pakiecie są zainstalowane 2 podstawki DIL20 (U9, U10) z podłączonym zasilaniem i masą. Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń. Podstawki te mogą być wykorzystane do budowy układów sterujących lub buforujących.

W typowej konfiguracji (bez buforowania sygnałów doprowadzonych do złącza zewnętrznego) wyprowadzenia 1÷9 łączówki H1 powinny być połączone z odpowiadającymi im wyprowadzeniami łączówki H7.

Złącza zewnętrzne

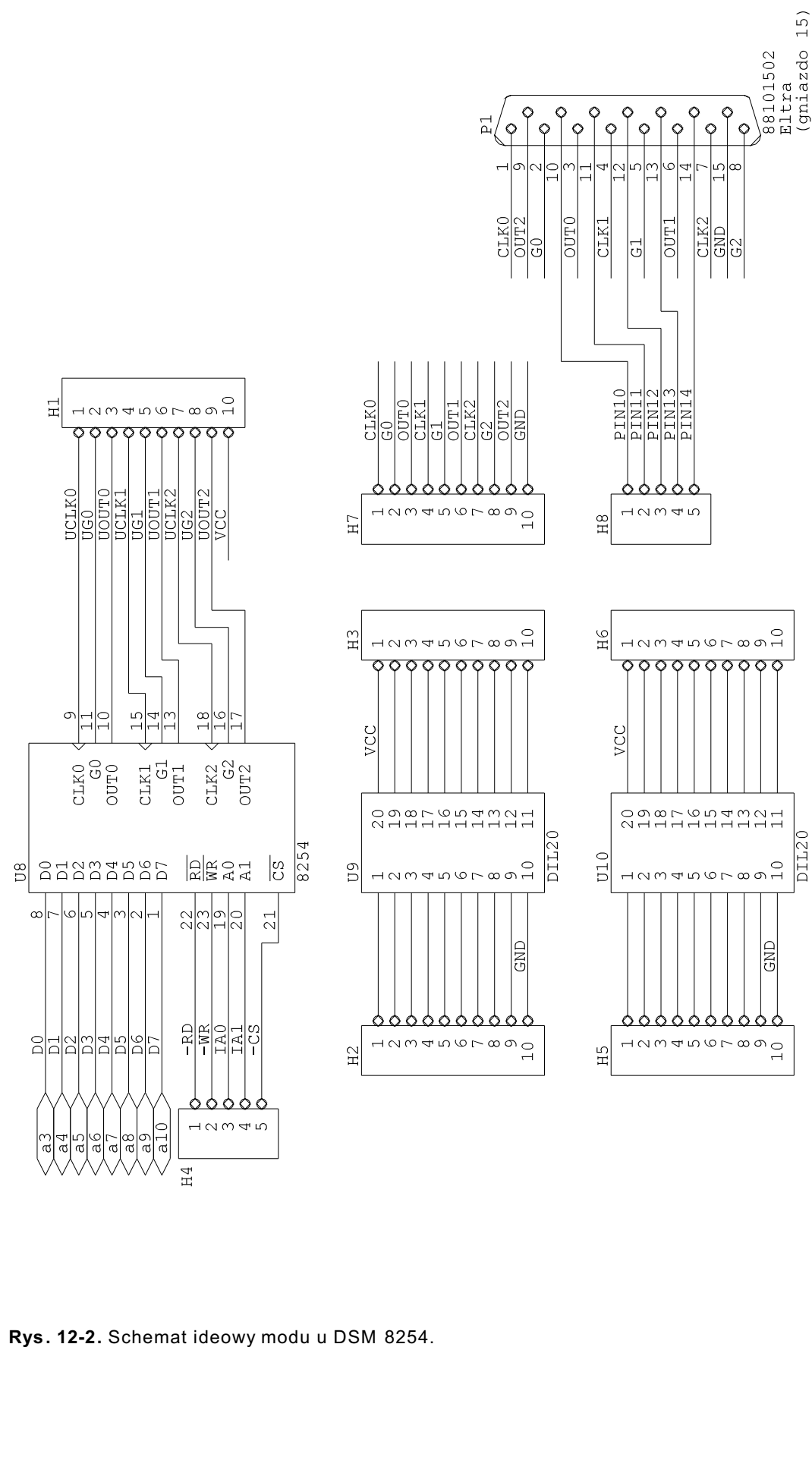
Na zewnątrz pakietu jest dostępne gniazdo szufladowe ELTRA-15 (typ 88101502). Złącze jest dołączone bezpośrednio do łączówek H7 i H8. Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nr	Nazwa
CLK0	1	9	OUT2
G0	2	10	PIN10
OUT0	3	11	PIN11
CLK1	4	12	PIN12
G1	5	13	PIN13
OUT1	6	14	PIN14
CLK2	7	15	GND
G2	8	złącze P1	

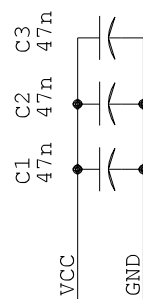


Rys. 12-1. Rozmieszczenie elementów na module DSM 8254.

Rys. 12-2. Schemat ideowy modu u DSM 8254.



Instytut Informatyki PW spr. H.Jez		
Title		
Programowany układ czasowy		
Size	Document Number	REV
A	DSM / 8254.SCH	1.1
Date:	June 24, 1999	Sheet 1 of 1



Pakiet 8255

Funkcja pakietu w systemie

Pakiet 8255 jest modułem równoległego wejścia/wyjścia, współpracującym z 8-bitową szyną danych. Zastosowany sterownik umożliwia korzystanie z 3 programowanych portów 8-bitowych.

Jako moduł bierny, pakiet 8255 odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Struktura pakietu

W skład pakietu 8255 wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- sterownik scalony 8255,
- dotychczasowe podstawki.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyna danych nie jest buforowana. Buforowanie innych sygnałów pozostaje pod kontrolą użytkownika.

Dodatkowe podstawki zostały przewidziane do instalowania układów buforujących. Do 2 podstawek DIL20 (U11, U12) są doprowadzone linie portów PA0÷PA7 i PB0÷PB7. Rozmieszczenie linii umożliwia użycie typowych układów (np. 74245, 74541).

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V) i masy,
- linie danych D0÷D7.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka H7 grupuje sygnały związane z komunikacją pomiędzy sterownikiem i szyną systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-RD	I	8255	strob odczytu danych
2	-WR	I	8255	strob zapisu danych
3	IA0	I	8255	linia wyboru rejestru
4	IA1	I	8255	linia wyboru rejestru
5	RESET	I	8255	linia zerowania układu
6	-CS	I	8255	linia wyboru układu
7	VCC	PWR	-	linia zasilania +5V
8	GND	PWR	-	linia masy

Łączówka H9 grupuje niebuforowane sygnały portu A.

Nr	Nazwa	Typ	Układ	Funkcja
1	1	X	U11	wyprowadzenie nr 1
2	PA0	I/O/Z	8255	linia informacyjna
3	PA1	I/O/Z	8255	linia informacyjna
4	PA2	I/O/Z	8255	linia informacyjna
5	PA3	I/O/Z	8255	linia informacyjna
6	PA4	I/O/Z	8255	linia informacyjna
7	PA5	I/O/Z	8255	linia informacyjna
8	PA6	I/O/Z	8255	linia informacyjna
9	PA7	I/O/Z	8255	linia informacyjna
10	GND	PWR	-	linia masy

Łączówka H1 grupuje buforowane sygnały portu A.

Nr	Nazwa	Typ	Układ	Funkcja
1	VCC	PWR	-	linia zasilania +5V
2	19	X	U11	wyprowadzenie nr 19
3	BA0	I/O/Z	U11	linia informacyjna
4	BA1	I/O/Z	U11	linia informacyjna
5	BA2	I/O/Z	U11	linia informacyjna
6	BA3	I/O/Z	U11	linia informacyjna
7	BA4	I/O/Z	U11	linia informacyjna
8	BA5	I/O/Z	U11	linia informacyjna
9	BA6	I/O/Z	U11	linia informacyjna
10	BA7	I/O/Z	U11	linia informacyjna

Łączówka H10 grupuje niebuforowane sygnały portu B.

Nr	Nazwa	Typ	Układ	Funkcja
1	1	X	U12	wyprowadzenie nr 1
2	PB0	I/O/Z	8255	linia informacyjna
3	PB1	I/O/Z	8255	linia informacyjna
4	PB2	I/O/Z	8255	linia informacyjna
5	PB3	I/O/Z	8255	linia informacyjna
6	PB4	I/O/Z	8255	linia informacyjna
7	PB5	I/O/Z	8255	linia informacyjna
8	PB6	I/O/Z	8255	linia informacyjna
9	PB7	I/O/Z	8255	linia informacyjna
10	GND	PWR	-	linia masy

Łączówka H4 grupuje buforowane sygnały portu B.

Nr	Nazwa	Typ	Układ	Funkcja
1	VCC	PWR	-	linia zasilania +5V
2	19	X	U12	wyprowadzenie nr 19
3	BB0	I/O/Z	U12	linia informacyjna
4	BB1	I/O/Z	U12	linia informacyjna
5	BB2	I/O/Z	U12	linia informacyjna
6	BB3	I/O/Z	U12	linia informacyjna
7	BB4	I/O/Z	U12	linia informacyjna
8	BB5	I/O/Z	U12	linia informacyjna
9	BB6	I/O/Z	U12	linia informacyjna
10	BB7	I/O/Z	U12	linia informacyjna

Łączówka H11 grupuje niebuforowane sygnały portu C.

Nr	Nazwa	Typ	Układ	Funkcja
1	PC0	I/O/Z	8255	linia informacyjna
2	PC1	I/O/Z	8255	linia informacyjna
3	PC2	I/O/Z	8255	linia informacyjna
4	PC3	I/O/Z	8255	linia informacyjna
5	PC4	I/O/Z	8255	linia informacyjna
6	PC5	I/O/Z	8255	linia informacyjna
7	PC6	I/O/Z	8255	linia informacyjna
8	PC7	I/O/Z	8255	linia informacyjna

Łączówka H8 grupuje niezdefiniowane sygnały złącza zewnętrznego P1.

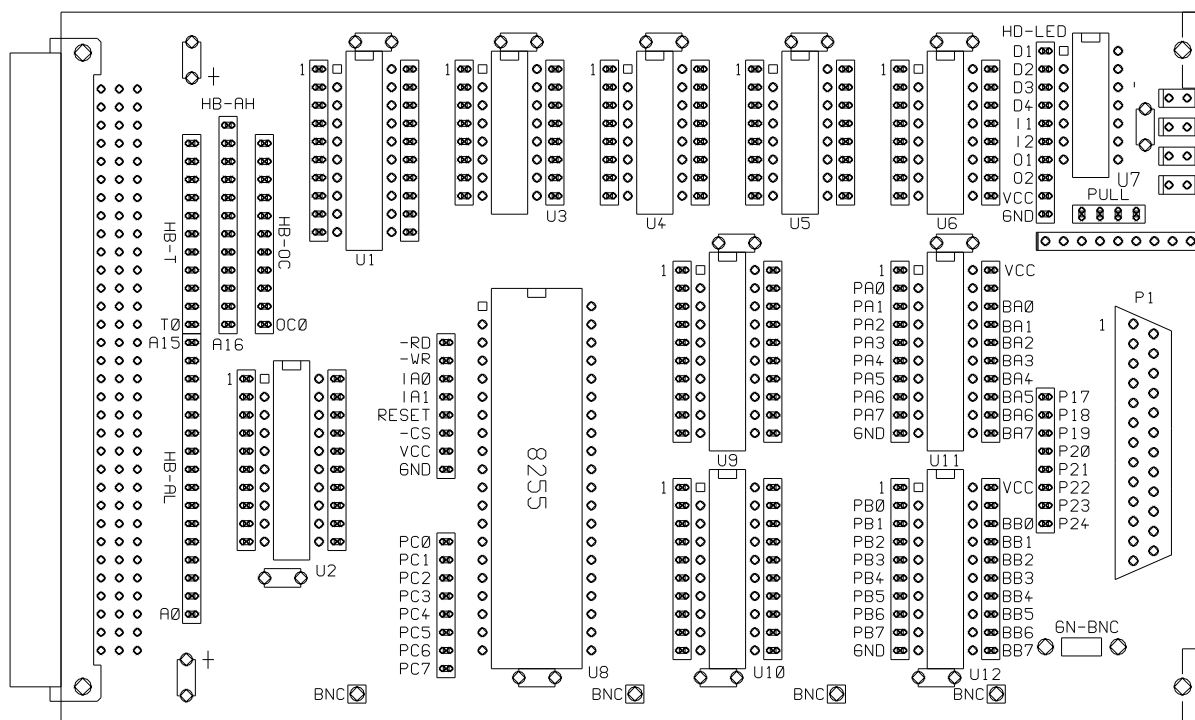
Nr	Nazwa	Typ	Układ	Funkcja
1	PIN17	X	P1	wyprowadzenie nr 17
2	PIN18	X	P1	wyprowadzenie nr 18
3	PIN19	X	P1	wyprowadzenie nr 19
4	PIN20	X	P1	wyprowadzenie nr 20
5	PIN21	X	P1	wyprowadzenie nr 21
6	PIN22	X	P1	wyprowadzenie nr 22
7	PIN23	X	P1	wyprowadzenie nr 23
8	PIN24	X	P1	wyprowadzenie nr 24

Pozostałe łączówki wchodzą w skład części stałej pakietu. Dodatkowo na pakiecie są zainstalowane 2 podstawki DIL20 (U9, U10) z podłączonym zasilaniem i masą. Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń. Podstawki te mogą być wykorzystane dla potrzeb rozbudowy układów sterujących oraz w wypadku stosowania układów buforujących dla linii portu C lub zewnętrznych rejestrów danych (np. 74573, 74574).

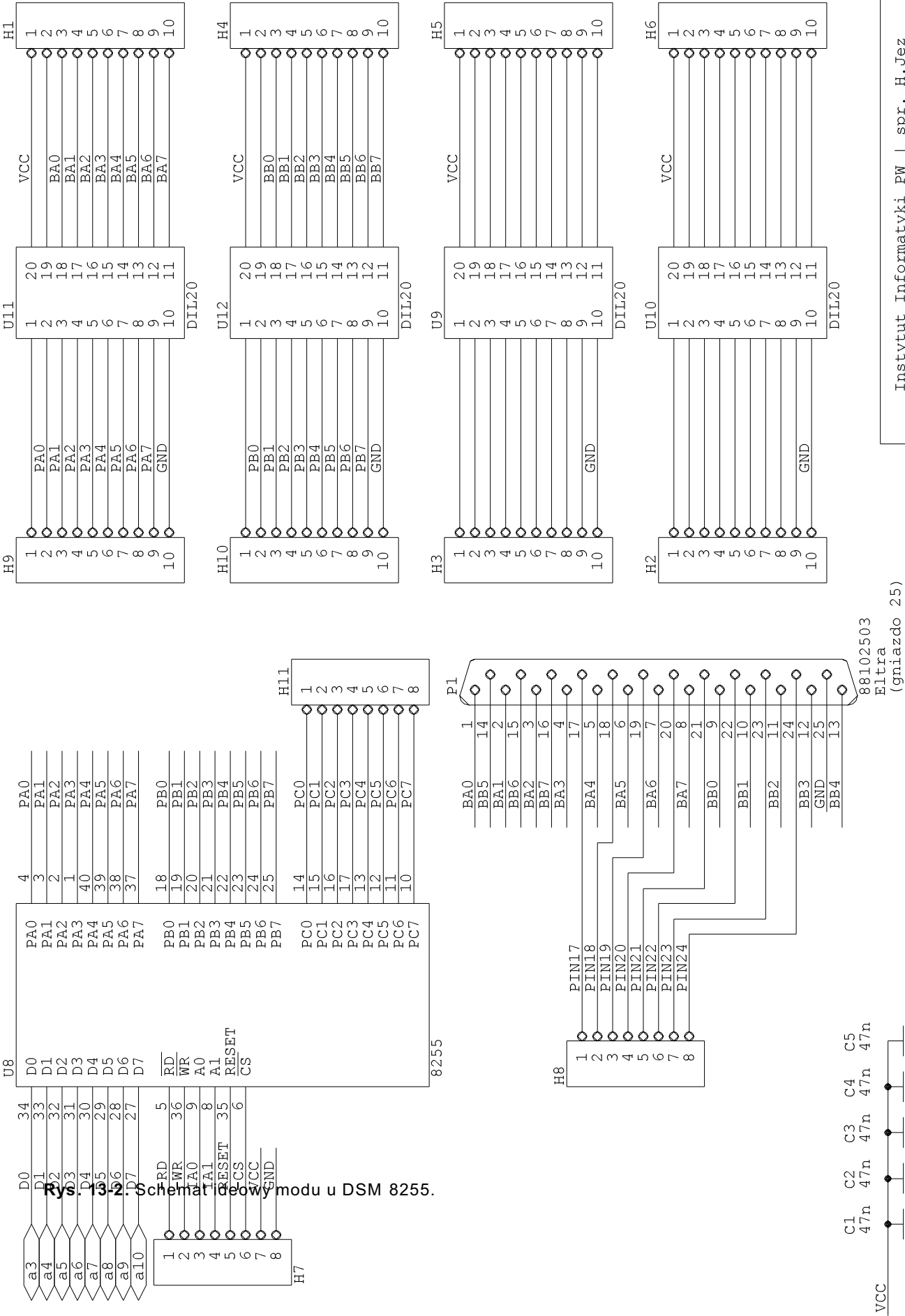
Złącza zewnętrzne

Na zewnątrz pakietu jest dostępne gniazdo szufladowe ELTRA-25 (typ 88102503) o nazwie P1. Złącze jest dołączone bezpośrednio do podstawek U11, U12 i łączówki H8. Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nr	Nazwa
BA0	1	14	BB5
BA1	2	15	BB6
BA2	3	16	BB7
BA3	4	17	PIN17
BA4	5	18	PIN18
BA5	6	19	PIN19
BA6	7	20	PIN20
BA7	8	21	PIN21
BB0	9	22	PIN22
BB1	10	23	PIN23
BB2	11	24	PIN24
BB3	12	25	GND
BB4	13	złącze P1	



Rys. 13-1. Rozplanowanie elementów na module DSM 8255.



Rys. 13-2. Schemat dechy modu u DSM 8255.

Instytut Informatyki PW spr. H.Jez		
Title		
Size	Sterownik transmisji rownoleglej	
A	Document Number	REV
Date:		2.0
June 29, 1999	Sheet	1 of 1

Pakiet 8259

Funkcja pakietu w systemie

Pakiet 8259 jest modułem przerw, współpracującym z 8-bitową szyną danych. Zastosowany sterownik umożliwia korzystanie z ośmiu przerw o programowanych priorytetach. Możliwe jest także kaskadowe łączenie modułów tego typu.

Jako moduł bierny, pakiet 8259 odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Struktura pakietu

W skład pakietu 8259 wchodzi następujące bloki:
zespół łączówki,
zespół dekodera,
sterownik scalony 8259A.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyna danych nie jest buforowana. Buforowanie innych sygnałów szyny pozostaje pod kontrolą użytkownika.

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

linie zasilania (+5V) i masy,
linie danych D0÷D7,

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka H1 grupuje sygnały związane z komunikacją pomiędzy sterownikiem i szyną systemu oraz sygnały potrzebne przy kaskadowym łączeniu pakietów.

Nr	Nazwa	Typ	Układ	Funkcja
1	IA0	I	8259A	linia wyboru rejestru
2	-CS	I	8259A	linia wyboru układu
3	-RD	I	8259A	strob odczytu danych
4	-WR	I	8259A	strob zapisu danych
5	SP	I	8259A	wybór trybu pracy
6	INT	O	8259A	zgłoszenie przerwania
7	-INTA	I	8259A	potwierdzenie zgłoszenia przerwania
8	CAS0	I/O/Z	8259A	linia połączenia kaskadowego
9	CAS1	I/O/Z	8259A	linia połączenia kaskadowego
10	CAS2	I/O/Z	8259A	linia połączenia kaskadowego

Łączówka H2 grupuje sygnały przerw.

Nr	Nazwa	Typ	Układ	Funkcja
1	-IRQ0	OC	HCT540	linia zgłoszenia przerwania
2	-IRQ1	OC	HCT540	linia zgłoszenia przerwania
3	-IRQ2	OC	HCT540	linia zgłoszenia przerwania
4	-IRQ3	OC	HCT540	linia zgłoszenia przerwania
5	-IRQ4	OC	HCT540	linia zgłoszenia przerwania
6	-IRQ5	OC	HCT540	linia zgłoszenia przerwania
7	-IRQ6	OC	HCT540	linia zgłoszenia przerwania
8	-IRQ7	OC	HCT540	linia zgłoszenia przerwania

Łączówka H3 grupuje niezdefiniowane sygnały złącza zewnętrznego P1.

Nr	Nazwa	Typ	Układ	Funkcja
1	PIN12	X	P1	wyprowadzenie nr 12
2	PIN13	X	P1	wyprowadzenie nr 13
3	PIN14	X	P1	wyprowadzenie nr 14
4	PIN15	X	P1	wyprowadzenie nr 15

Pozostałe łączówki wchodzi w skład części stałej pakietu. Dodatkowo na pakiecie są zainstalowane 2 podstawki DIL20

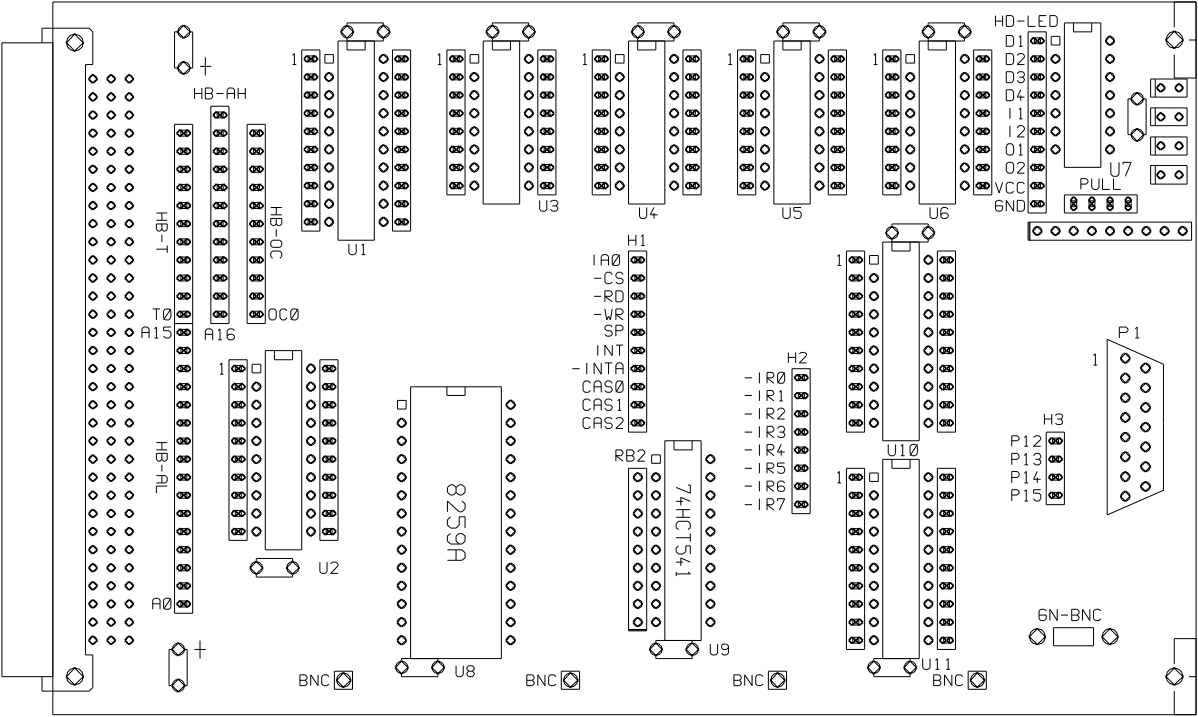
(U10, U11) z podłączonym zasilaniem i masą. Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń. Podstawki te mogą być wykorzystane do budowy układów sterujących lub buforujących.

Złącza zewnętrzne

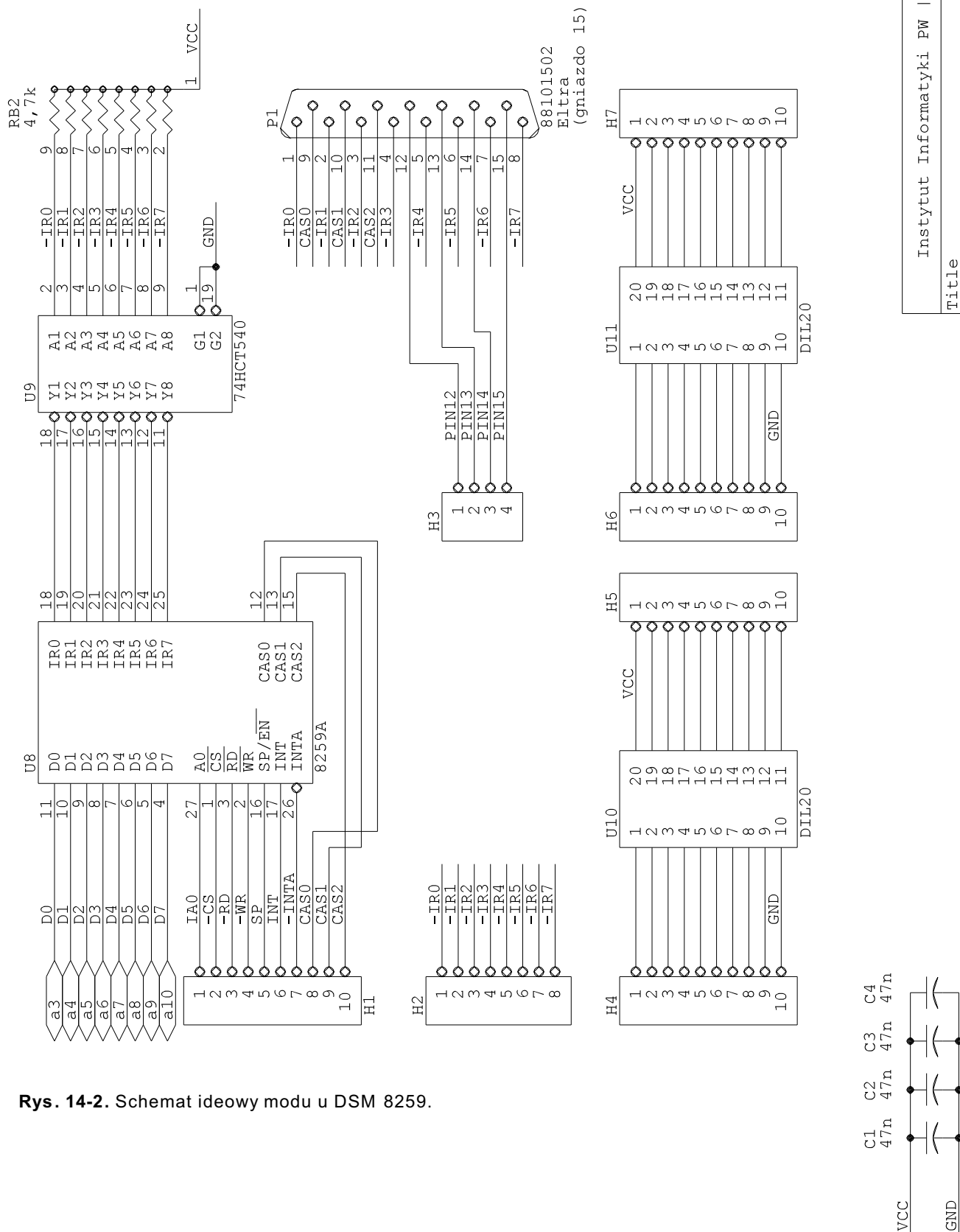
Na zewnątrz pakietu jest dostępne gniazdo szufladowe ELTRA-15 (typ 88101502) o nazwie P1. Złącze jest bezpośrednio połączone z łączówkami H1, H2, H3. Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

-IRQ0	1	9	CAS0
-IRQ1	2	10	CAS1
-IRQ2	3	11	CAS2
-IRQ3	4	12	PIN12
-IRQ4	5	13	PIN13
-IRQ5	6	14	PIN14
-IRQ6	7	15	PIN15
-IRQ7	8	złącze P1	

Nazwa	Nr	Nr	Nazwa
-------	----	----	-------



Rys. 14-1. Roz o enie elementów na module DSM 8259.



Rys. 14-2. Schemat ideowy modu u DSM 8259.

Instytut Informatyki PW spr. H.Jez		
Title		
Programowany układ przerwan		
Size	Document Number	REV
A	DSM / 8259.SCH	2.0
Date:	June 29, 1999	Sheet 1 of 1

Pakiet 8530

Funkcja pakietu w systemie

Pakiet 8530 jest modulem szeregowego wejścia/wyjścia, współpracującym z 8-bitową szyną danych. Moduł zawiera układy umożliwiające wykorzystanie 2 kanałowego wieloprotokołowego (tryb asynchroniczny i synchroniczny) łącza szeregowego w standardzie RS232.

Jako moduł bierny moduł 8530 odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Struktura pakietu

W skład modułu 8530 wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- sterownik scalony Z8530 SCC,
- generatory zegarów transmisji,
- bufory łącza.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyna danych nie jest buforowana. Buforowanie innych sygnałów szyny pozostaje pod kontrolą użytkownika.

Generatory zegarów transmisji są zbudowane z dwu oddzielnych skalonych oscylatorów (U9, U10); typowe częstotliwości transmisyjne są uzyskiwane z częstotliwości podstawowej (nominalnie 2.4576 MHz i 3.072 MHz) w wewnętrznych, programowanych dzielnikach częstotliwości układu Z8530.

Bufory łącza: sposób buforowania linii łącza jest przedstawiony w tabeli.

Nazwa linii	Typ	Układ	Nr układu
TXDA,RTSA,DTRA	O	145406	U13
RXDA,CTSA,DCDA	I	145406	U13
TXDB,RTSB,DTRB	O	145406	U11
RXDB,CTSB,DCDB	I	145406	U11
T1O,T2O,T3O	O	145406	U12
R1I,R2I,R3I	I	145406	U12

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V, +12V, -12V) i masy,
- linie danych D0-D7.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka H7 grupuje sygnały wyjściowe z generatorów zegarów transmisji.

Nr	Nazwa	Typ	Układ	Funkcja
1	OSC1	O	Osc 2.4576 MHz	Zegar transmisji 1
2	OSC2	O	Osc 3.072 MHz	Zegar transmisji 2

Łączówka H8 grupuje sygnały związane z komunikacją pomiędzy sterownikiem i szyną systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-INT	OC	Z8530	zgłoszenie przerwania
2	-IACK	I	Z8530	potwierdzenie obsługi przerwania
3	IEO	O	Z8530	wyjście łańcucha przerwań
4	IEI	I	Z8530	wejście łańcucha przerwań
5	-RD	I	Z8530	strob odczytu danych
6	-WR	I	Z8530	strob zapisu danych
7	A/-B	I	Z8530	linia wyboru kanału
8	-CE	I	Z8530	linia wyboru układu
9	D/-C	I	Z8530	linia wyboru rejestru
10	-WA	OC/O	Z8530	transmisja blokowa CPU / DMA z kanału A
11	-WB	OC/O	Z8530	transmisja blokowa CPU / DMA z kanału B
12	-REQA	O	Z8530	żądanie transmisji DMA z kanału A
13	-REQB	O	Z8530	żądanie transmisji DMA z kanału B
14	PCLK	I	Z8530	systemowy sygnał zegarowy

Łączówka H9 grupuje sygnały łącza szeregowego o poziomach TTL niepodłączone do buforów.

Nr	Nazwa	Typ	Układ	Funkcja
1	-SYNCA	I/O	Z8530	synchronizacja kanału A
2	-TRxCA	I/O	Z8530	zegar nadajnika/odbiornika kanału A
3	-RTxCA	I	Z8530	zegar odbiornika/nadajnika kanału A
4	-SYNCB	I/O	Z8530	synchronizacja kanału B
5	-TRxCB	I/O	Z8530	zegar nadajnika/odbiornika kanału B
6	-RTxCB	I	Z8530	zegar odbiornika/nadajnika kanału B

Łączówka H10 grupuje sygnały łącza szeregowego kanału A o poziomach TTL.

Nr	Nazwa	Typ	Układ	Funkcja
1	URXDA	I	Z8530	wejście danych szeregowych
2	UTXDA	O	Z8530	wyjście danych szeregowych
3	UDCDA	I	Z8530	odblokowanie odbiornika
4	UR TSA	O	Z8530	żądanie rozpoczęcia nadawania
5	UCTSA	I	Z8530	odblokowanie nadajnika
6	UDTRA	O	Z8530	programowalne wyjście binaime

Łączówka H11 grupuje sygnały łącza szeregowego kanału B o poziomach TTL.

Nr	Nazwa	Typ	Układ	Funkcja
1	URXDB	I	Z8530	wejście danych szeregowych
2	UTXDB	O	Z8530	wyjście danych szeregowych
3	UDCDB	I	Z8530	odblokowanie odbiornika
4	URTSB	O	Z8530	żądanie rozpoczęcia nadawania
5	UCTSB	I	Z8530	odblokowanie nadajnika
6	UDTRB	O	Z8530	programowalne wyjście binaime

Łączówka H12A grupuje sygnały układu U12 o poziomach TTL (do wykorzystania przez użytkownika).

UWAGA! Nie dopuszczać do zwierania końcówek przewodów montażowych z sąsiadującymi wyprowadzeniami układu U12.

Nr	Nazwa	Typ	Układ	Funkcja
----	-------	-----	-------	---------

1	R1O	O	145406	wyjście odbiornika 1
2	T1I	I	145406	wejście nadajnika 1
3	R2O	O	145406	wyjście odbiornika 2
4	T2I	I	145406	wejście nadajnika 2
5	R3O	O	145406	wyjście odbiornika 3
6	T3I	I	145406	wejście nadajnika 3

Łączówka H12B grupuje sygnały układu U12 o poziomach RS232 (do wykorzystania przez użytkownika).

UWAGA! Nie dopuszczać do zwierania końcówek przewodów montażowych z sąsiadującymi wyprowadzeniami układu U12.

Nr	Nazwa	Typ	Układ	Funkcja
1	R1I	I	145406	wejście odbiornika 1
2	T1O	O	145406	wyjście nadajnika 1
3	R2I	I	145406	wejście odbiornika 2
4	T2O	O	145406	wyjście nadajnika 2
5	R3I	I	145406	wejście odbiornika 3
6	T3O	O	145406	wyjście nadajnika 3

Łączówka H13 grupuje sygnały łącz szeregowych kanałów A i B o poziomach RS232 niepodłączone do układów buforujących (do wykorzystania przez użytkownika).

Nr	Nazwa	Typ	Układ	Funkcja
1	TCLKA	O	P1	sygnał zegarowy nadajnika kanału A
2	SYNCA	I	P1	synchronizacja znakowa kanału A
3	RIA	I	P1	sygnał początku transmisji kanału A
4	RCLKA	I	P1	sygnał zegarowy odbiornika kanału A
5	TCLKB	O	P2	sygnał zegarowy nadajnika kanału B
6	SYNCB	I	P2	synchronizacja znakowa kanału B
7	RIB	I	P2	sygnał początku transmisji kanału B
8	RCLKB	I	P2	sygnał zegarowy odbiornika kanału B

Pozostałe łączówki wchodzą w skład części stałej pakietu. W typowej konfiguracji wyprowadzenia łączówki H9 powinny być podłączone do wyprowadzeń łączówek H7 lub H12A (poziom TTL), natomiast wyprowadzenia łączówki H12B z wyprowadzeniami łączówki H13 (poziom RS232). Ze względu na podwójne funkcje niektórych wyprowadzeń układu Z8530 sygnały z nimi związane występują równocześnie na dwóch różnych łączówkach. Dotyczy to linii:

DTR/REQA = -REQA = UDTRA ;
DTR/REQB = -REQB = UDTRB .

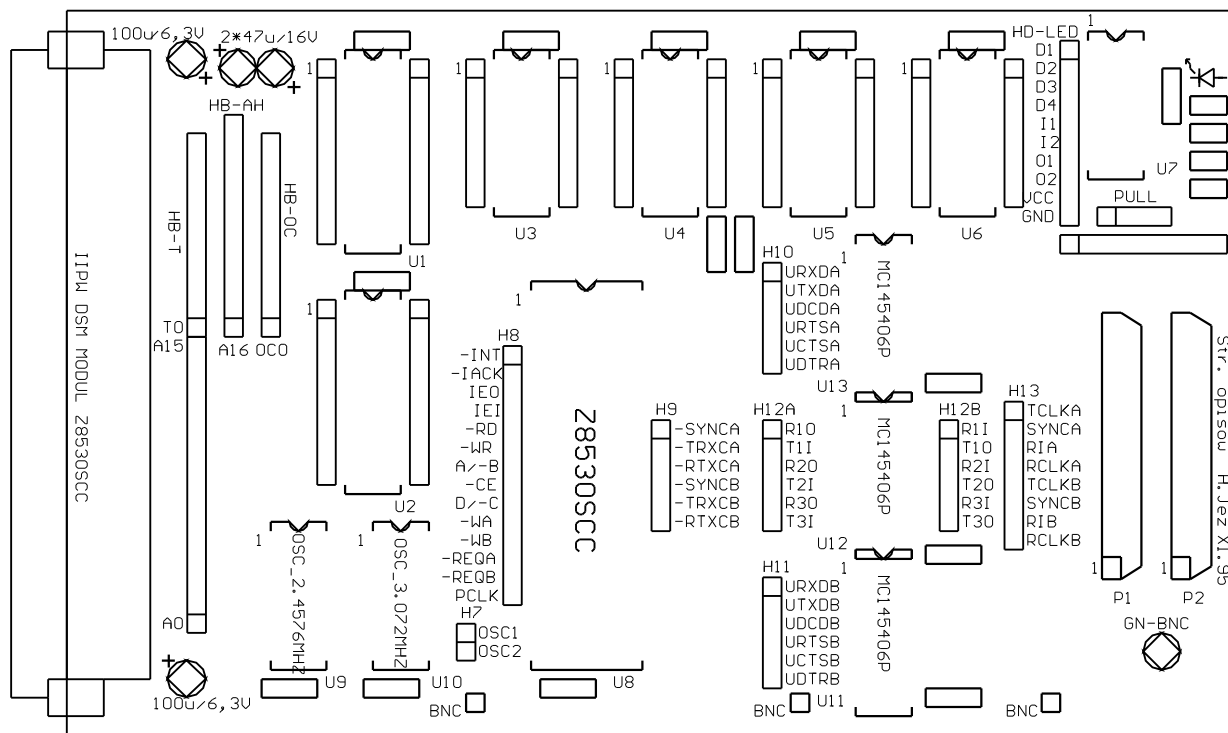
Złącza zewnętrzne

Na zewnątrz pakietu są dostępne dwa wtyki szufladowe ELTRA-25 (typ 87102503) o nazwach: P1 (kanał A), P2 (kanał B), zapewniające podzbiór sygnałów złącza RS-232C. Wtyk P1 jest dołączony bezpośrednio do podstawki U13 i części łączówki H13. Wtyk P2 jest dołączony bezpośrednio do podstawki U11 i części łączówki H13. Z uwagi na rodzaj i sposób okablowania złącza pakiet pracuje w obydwu kanałach jako urządzenie końcowe transmisji danych (typu DTE). Rozmieszczenie linii sygnałowych jest przedstawione w tabelach.

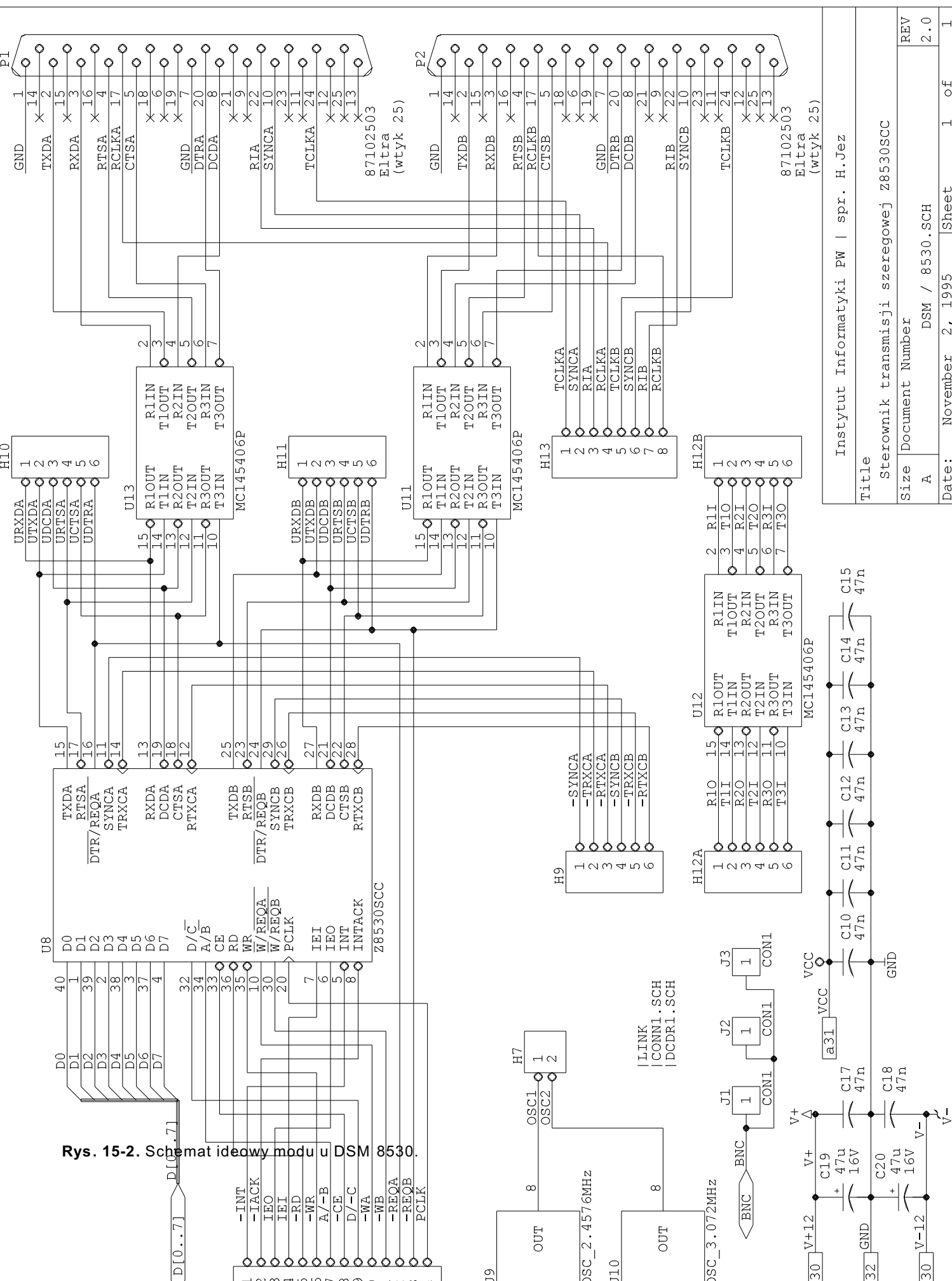
Linia SYNCA, SYNCB nie jest objęta normą i w zależności od potrzeb użytkownika może być użyta jako wejście lub wyjście.

Nazwa	Nr	Nr	Nazwa
GND	1	14	
TxDA	2	15	
RxDA	3	16	
RTSA	4	17	RCLKA
CTSA	5	18	
	6	19	
GND	7	20	DTRA
DCDA	8	21	
	9	22	RIA
SYNCA	10	23	
	11	24	TCLKA
	12	25	
	13	złącze P1	

Nazwa	Nr	Nr	Nazwa
GND	1	14	
TxDB	2	15	
RxDB	3	16	
RTSB	4	17	RCLKB
CTSB	5	18	
	6	19	
GND	7	20	DTRB
DCDB	8	21	
	9	22	RIB
SYNCB	10	23	
	11	24	TCLKB
	12	25	
	13	złącze P2	



Rys. 15-1. Roz o enie elementów na module DSM 8530.



Instytut Informatyki PW | spr. H. Jez

Title

Sterownik transmisji szeregowej Z8530SCC

Size Document Number

A DSM / 8530.SCH

Date: November 2, 1995 Sheet 1 of 1

REV

2.0

Pakiet Z80PIO

Funkcja pakietu w systemie

Pakiet Z80PIO jest modulem równoległego wejścia/wyjścia, współpracującym z 8-bitową szyną danych. Zastosowany sterownik umożliwia korzystanie z 2 programowanych portów 8-bitowych. Z uwagi na strukturę sygnałów sterujących i specyficzny tryb generacji przerwań wskazane jest wykorzystywanie pakietu Z80PIO łącznie z pakietem procesora Z80CPU.

Jako moduł bierny, pakiet Z80PIO odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Struktura pakietu

W skład pakietu Z80PIO wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- sterownik scalony Z80PIO,
- dodatkowe podstawki.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyna danych nie jest buforowana. Buforowanie innych sygnałów pozostaje pod kontrolą użytkownika.

Dodatkowe podstawki są przeznaczone do instalowania układów buforujących. Linie portów PA0÷PA7 i PB0÷PB7 są doprowadzone do 2 podstawek DIL20 (U11, U12). Rozmieszczenie linii umożliwia użycie typowych układów (np. 74245, 74541).

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V) i masy,
- linie danych D0÷D7,
- linie priorytetu szeregowego IEI z PCI, IEO z PCO,
- linia zegara systemu CLK.

Złącze zewnętrzne P1 jest dołączone bezpośrednio do podstawek U11, U12 i łączówki HG-PIN.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka HP-C grupuje sygnały związane z komunikacją pomiędzy sterownikiem i szyną systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-CE	I	Z80PIO	linia wyboru układu
2	-M1	I	Z80PIO	sygnalizacja cyklu maszynowego M1
3	-IORQ	I	Z80PIO	sygnał dostępu do układów we/wy
4	-RD	I	Z80PIO	strob odczytu danych
5	CS0	I	Z80PIO	linia wyboru rejestru
6	CS1	I	Z80PIO	linia wyboru kanału
7	-INT	OC	Z80PIO	zgłoszenie przerwania
8	IEI	I	Z80PIO	zezwolenie na generację przerwań

Łączówka HP-PA grupuje niebuforowane sygnały portu A.

Nr	Nazwa	Typ	Układ	Funkcja
1	PA0	I/O/Z	Z80PIO	linia informacyjna
2	PA1	I/O/Z	Z80PIO	linia informacyjna
3	PA2	I/O/Z	Z80PIO	linia informacyjna
4	PA3	I/O/Z	Z80PIO	linia informacyjna
5	PA4	I/O/Z	Z80PIO	linia informacyjna
6	PA5	I/O/Z	Z80PIO	linia informacyjna
7	PA6	I/O/Z	Z80PIO	linia informacyjna
8	PA7	I/O/Z	Z80PIO	linia informacyjna
9	ARDY	O	Z80PIO	sygnał gotowości
10	-ASTB	I	Z80PIO	sygnał strobu

Łączówka HP-BA grupuje buforowane sygnały portu A.

Nr	Nazwa	Typ	Układ	Funkcja
1	1	X	U11	wyprowadzenie nr 1
2	19	X	U11	wyprowadzenie nr 19
3	BA0	X	U11	buforowana linia PA0
4	BA1	X	U11	buforowana linia PA1
5	BA2	X	U11	buforowana linia PA2
6	BA3	X	U11	buforowana linia PA3
7	BA4	X	U11	buforowana linia PA4
8	BA5	X	U11	buforowana linia PA5
9	BA6	X	U11	buforowana linia PA6
10	BA7	X	U11	buforowana linia PA7

Łączówka HP-BB grupuje buforowane sygnały portu B.

Nr	Nazwa	Typ	Układ	Funkcja
1	1	X	U12	wyprowadzenie nr 1
2	19	X	U12	wyprowadzenie nr 19
3	BB0	X	U12	buforowana linia PB0
4	BB1	X	U12	buforowana linia PB1
5	BB2	X	U12	buforowana linia PB2
6	BB3	X	U12	buforowana linia PB3
7	BB4	X	U12	buforowana linia PB4
8	BB5	X	U12	buforowana linia PB5
9	BB6	X	U12	buforowana linia PB6
10	BB7	X	U12	buforowana linia PB7

Łączówka HP-PB grupuje niebuforowane sygnały portu B.

Nr	Nazwa	Typ	Układ	Funkcja
1	PB0	I/O/Z	Z80PIO	linia informacyjna
2	PB1	I/O/Z	Z80PIO	linia informacyjna
3	PB2	I/O/Z	Z80PIO	linia informacyjna
4	PB3	I/O/Z	Z80PIO	linia informacyjna
5	PB4	I/O/Z	Z80PIO	linia informacyjna
6	PB5	I/O/Z	Z80PIO	linia informacyjna
7	PB6	I/O/Z	Z80PIO	linia informacyjna
8	PB7	I/O/Z	Z80PIO	linia informacyjna
9	BRDY	O	Z80PIO	sygnał gotowości
10	-BSTB	I	Z80PIO	sygnał strobu

Łączówka HG-PIN grupuje niezdefiniowane sygnały złącza zewnętrznego P1.

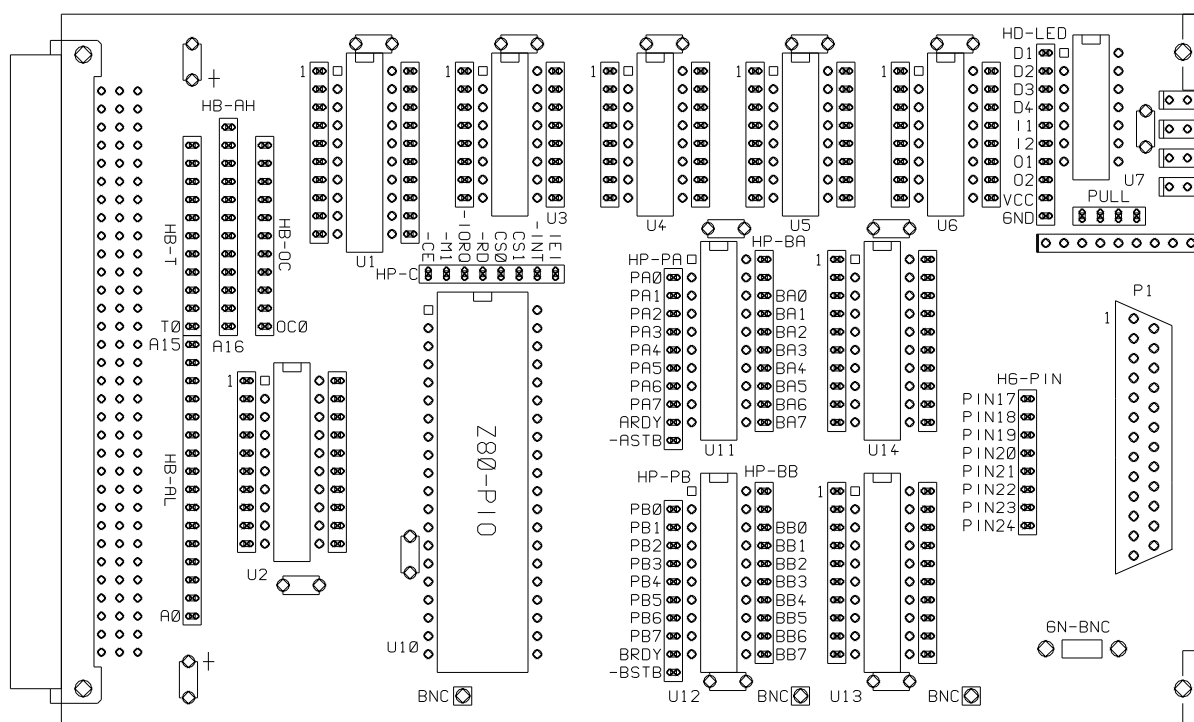
Nr	Nazwa	Typ	Układ	Funkcja
1	PIN17	X	P1	wyprowadzenie nr 17
2	PIN18	X	P1	wyprowadzenie nr 18
3	PIN19	X	P1	wyprowadzenie nr 19
4	PIN20	X	P1	wyprowadzenie nr 20
5	PIN21	X	P1	wyprowadzenie nr 21
6	PIN22	X	P1	wyprowadzenie nr 22
7	PIN23	X	P1	wyprowadzenie nr 23
8	PIN24	X	P1	wyprowadzenie nr 24

Pozostałe łączówki wchodzą w skład części stałej pakietu. Dodatkowo na pakiecie są zainstalowane 2 podstawki DIL20 (U13, U14) z podłączonym zasilaniem i masą. Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń. Podstawki te mogą być wykorzystane dla potrzeb rozbudowy układów sterujących lub w wypadku stosowania nietypowych układów buforujących (np. transoptorów) lub zewnętrznych rejestrów danych (np. 74573, 74574).

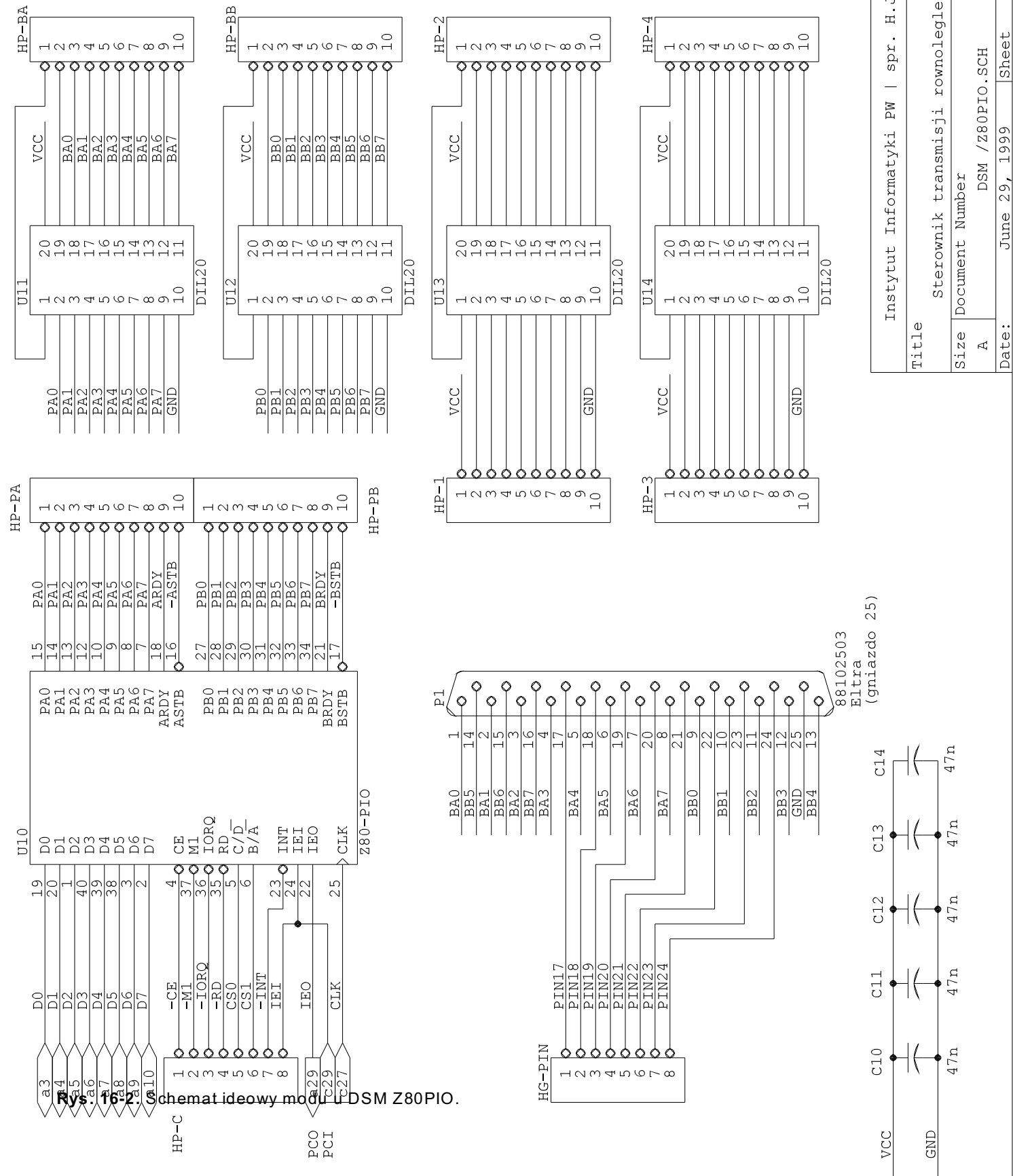
Złącza zewnętrzne

Na zewnątrz pakietu jest dostępne gniazdo szufladowe ELTRA-25 (typ 88102503). Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

BA0	1	14	BB5
BA1	2	15	BB6
BA2	3	16	BB7
BA3	4	17	PIN17
BA4	5	18	PIN18
BA5	6	19	PIN19
BA6	7	20	PIN20
BA7	8	21	PIN21
BB0	9	22	PIN22
BB1	10	23	PIN23
BB2	11	24	PIN24
BB3	12	25	GND
BB4	13	złącze P1	



Rys. 16-1. Roz o enie elementów na module DSM Z80PIO.



Pakiet Z80DMA

Funkcja pakietu w systemie

Pakiet Z80DMA jest modułem sterownika bezpośredniego dostępu do pamięci, współpracującym z 8-bitową szyną danych. Zastosowany sterownik umożliwia korzystanie z jednego programowanego kanału DMA.

Jako moduł bierny, pakiet Z80DMA odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, inny sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Jako moduł czynny, pakiet Z80DMA nadzoruje przebieg transmisji danych pomiędzy urządzeniami wejścia/wyjścia i (lub) pamięcią.

Struktura pakietu

W skład pakietu Z80DMA wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- sterownik scalony Z80DMA,
- bufory szyny.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyny adresowa i danych są buforowane.

Bufory szyny

Dane o układach buforujących wykorzystywanych na pakiecie zostały zestawione w tabeli.

Nazwa linii	Typ	Układ	Nr
A0÷A7	O/Z	74HCT541	U11
A8÷A15	O/Z	74HCT541	U12
D0÷D7	I/O/Z	74HCT245	U9
-MREQ,-IORQ,-RD,-WR	I/O/Z	74HCT245	U10

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Buforowanie innych sygnałów pozostaje pod kontrolą użytkownika.

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V) i masy,
- linie priorytetu szeregowego przerwania IEI, IEO,
- linia zegara systemu CLK.

Linie adresu i danych są dołączone do szyny za pośrednictwem buforów trójstanowych.

Możliwości konfiguracji

Łączówka H7 grupuje linie sterujące buforami szyny adresowej.

Nr	Nazwa	Typ	Układ	Funkcja
1	-AG1	I	U11,U12	sterowanie buforami szyny
2	-AG2	I	U11,U12	sterowanie buforami szyny

Łączówka H8 grupuje sygnały gotowości sterownika DMA.

Nr	Nazwa	Typ	Układ	Funkcja
1	-CE	I	Z80DMA	linia wyboru układu, wydłużenie cyklu aktywności DMA
2	RDY	I	Z80DMA	sygnalizacja gotowości modułów biernych

Łączówka H9 grupuje sygnały priorytetu szeregowego żądania zwolnienia szyny oraz sygnał -M1.

Nr	Nazwa	Typ	Układ	Funkcja
1	-M1	I	Z80DMA	sygnalizacja pobrania przez procesor z pamięci kodu instrukcji
2	-BAO	O	Z80DMA	wyjście priorytetu szeregowego żądania zwolnienia szyny
3	-BAI	I	Z80DMA	wejście priorytetu szeregowego żądania zwolnienia szyny
4	-BRQ	I/OC	Z80DMA	żądanie zwolnienia szyny

Łączówka H10 grupuje sygnały sterujące buforem szyny danych.

Nr	Nazwa	Typ	Układ	Funkcja
1	-DG	I	U9	sterowanie aktywnością wyjść
2	DDIR	I	U9	sterowanie buforem szyny

Łączówka H11 grupuje sygnały związane z komunikacją pomiędzy sterownikiem i szyną sytemu oraz z przerwaniem.

Nr	Nazwa	Typ	Układ	Funkcja
1	-IORQ	I/O/Z	U10	strob współpracy z układami we/wy
2	-MREQ	I/O/Z	U10	strob współpracy z pamięcią
3	-RD	I/O/Z	U10	strob odczytu danych
4	-WR	I/O/Z	U10	strob zapisu danych
5	-INT	OC	Z80DMA	żądanie przerwania, impuls okresowy
6	IEI	I	Z80DMA	wejście priorytetu szeregowego przerwania

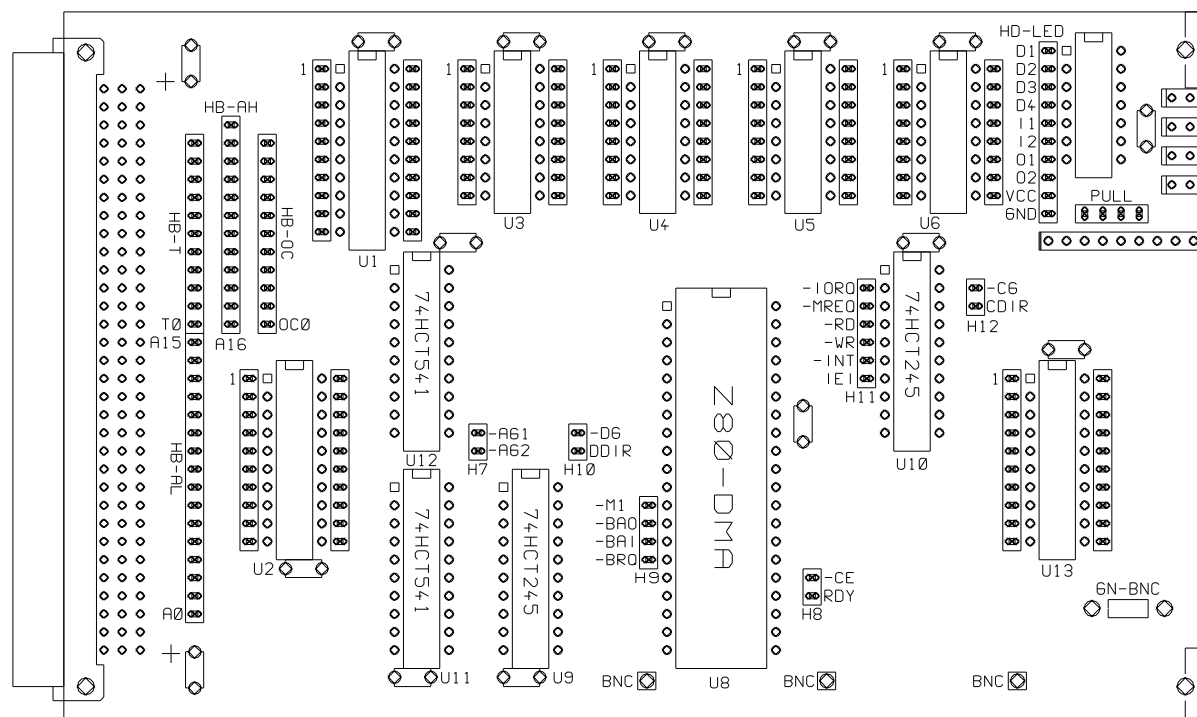
Łączówka H12 grupuje sygnały sterujące buforem sygnałów związanych z komunikacją pomiędzy sterownikiem i szyną systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-CG	I	U10	sterowanie aktywnością wyjść
2	CDIR	I	U10	sterowanie buforem sygnałów

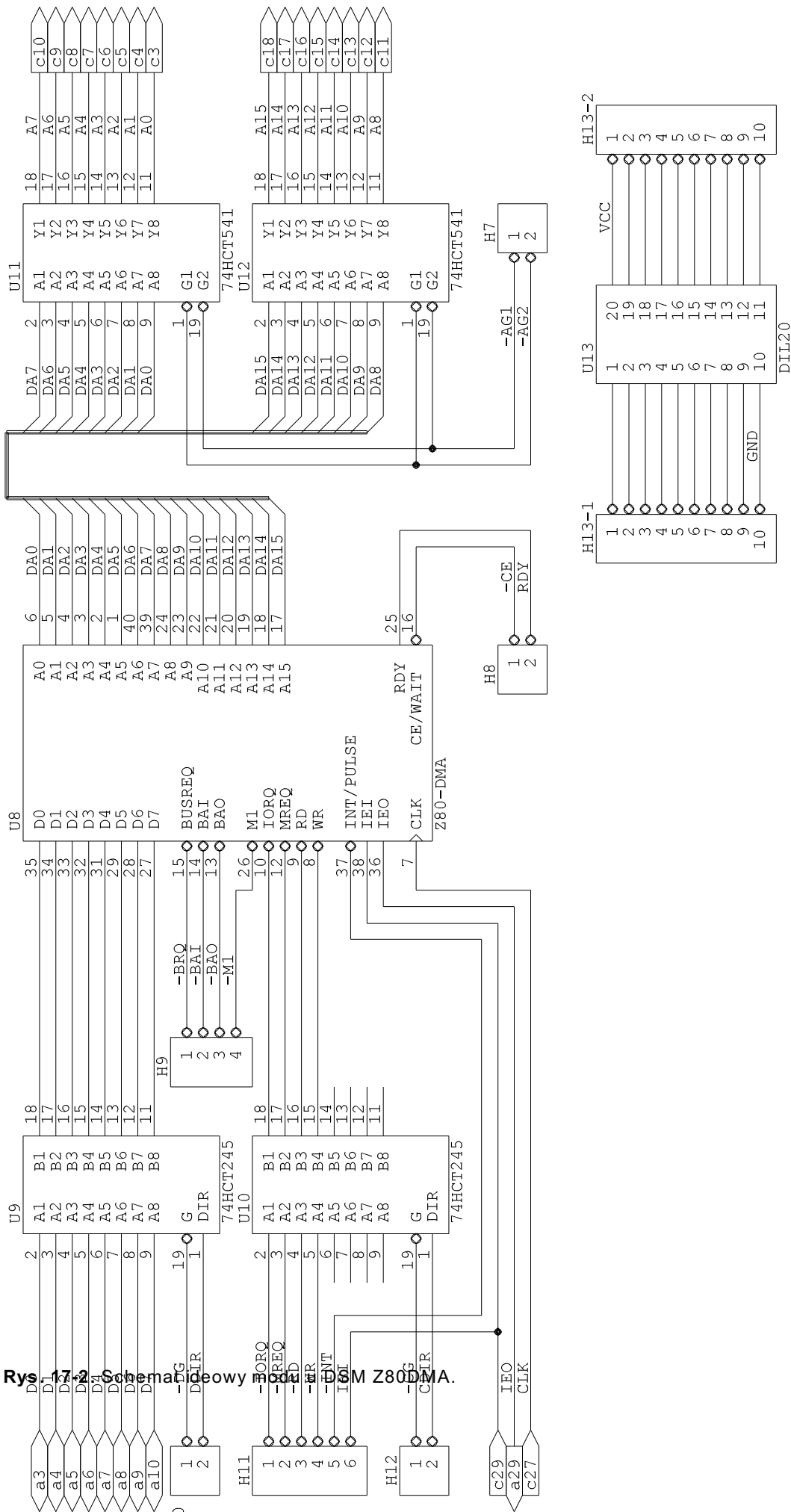
Pozostałe łączówki wchodzą w skład części stałej pakietu. Dodatkowo na pakiecie jest zainstalowana 1 podstawka DIL20 (U13) z podłączonym zasilaniem i masą. Wszystkie wyprowadzenia podstawki są zaopatrzone w gniazda do prowadzenia połączeń. Podstawka ta może być wykorzystana przy budowie układów sterujących.

Złącza zewnętrzne

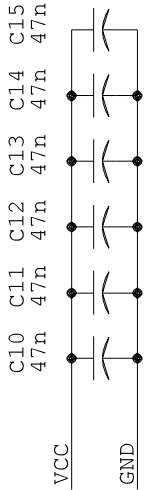
Pakiet nie posiada złączy zewnętrznych.



Rys. 17-1. Roz o enie elementów na module DSM Z80DMA.



Rys. 17-2 Schemat ideowy modułu Z80DMA.



Instytut Informatyki PW spr. H.Jez		
Title		
Sterownik transmisji DMA		
Size	Document Number	REV
A	DSM / Z80DMA.SCH	1.0
Date:	November 12, 2004	Sheet 1 of 1

Pakiet Z80CTC

Funkcja pakietu w systemie

Pakiet Z80CTC jest modułem licznika/zegara, współpracującym z 8-bitową szyną danych. Zastosowany sterownik umożliwia korzystanie z 4 kanałów realizujących uzależnienia czasowe przy użyciu liczników 8-bitowych z wybieranym wstępnym dzielnikiem częstotliwości (podział przez 16 lub 256). Wszystkie liczniki mają wejście zegarowe, ale tylko 3 liczniki mają wyjście sygnalizujące stan 0 licznika. Sterownik ten może być użyty jako kontroler 4 przerwań.

Jako moduł bierny, pakiet Z80CTC odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Struktura pakietu

W skład pakietu Z80CTC wchodzi następujące bloki:
zespół łączówki,
zespół dekodera,
sterownik scalony Z80CTC,
dodatkowe podstawki.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyna danych nie jest buforowana. Buforowanie innych sygnałów szyny pozostaje pod kontrolą użytkownika.

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V) i masy,
- linie danych D0÷D7,
- linie priorytetu szeregowego przerwania IEI z PCI, IEO z PCO,
- linia zegara systemu CLK,
- linia inicjacji działania systemu -RESET.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka H4 grupuje sygnały związane z komunikacją pomiędzy sterownikiem i szyną systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-CE	I	Z80CTC	linia wyboru układu
2	-M1	I	Z80CTC	sygnalizacja cyklu maszynowego M1
3	-IORQ	I	Z80CTC	strob współpracy z układami we/wy
4	-RD	I	Z80CTC	strob odczytu danych
5	CS0	I	Z80CTC	linia wyboru kanału
6	CS1	I	Z80CTC	linia wyboru kanału
7	-INT	OC	Z80CTC	zgłoszenie przerwania
8	IEI	I	Z80CTC	zezwolenie na generację przerw

Łączówka H1 grupuje niebuforowane sygnały zegarowe.

Nr	Nazwa	Typ	Układ	Funkcja
1	UTRG0	I	Z80CTC	zegar kanału 0
2	UZC0	O	Z80CTC	koniec zliczania kanału 0
3	UTRG1	I	Z80CTC	zegar kanału 1
4	UZC1	O	Z80CTC	koniec zliczania kanału 1
5	UTRG2	I	Z80CTC	zegar kanału 2
6	UZC2	O	Z80CTC	koniec zliczania kanału 2
7	UTRG3	I	Z80CTC	zegar kanału 3

Łączówka H7 grupuje buforowane sygnały zegarowe i jest bezpośrednio połączona (oprócz nr 9) z wyprowadzeniami złącza zewnętrznego P1.

Nr	Nazwa	Typ	Układ	Funkcja
1	TRG0	I	P1	zegar kanału 0
2	ZC0	O	P1	koniec zliczania kanału 0
3	TRG1	I	P1	zegar kanału 1
4	ZC1	O	P1	koniec zliczania kanału 1
5	TRG2	I	P1	zegar kanału 2
6	ZC2	O	P1	koniec zliczania kanału 2
7	TRG3	I	P1	zegar kanału 3
8	PIN8	X	P1	wyprowadzenie nr 8
9	VCC	PWR	-	linia zasilania +5V
10	GND	PWR	-	linia masy

Pozostałe łączówki wchodzi w skład części stałej pakietu. Dodatkowo na pakiecie są zainstalowane 2

podstawki DIL20 (U9, U10) z podłączonym zasilaniem i masą. Wszystkie wyprowadzenia podstawek są zaopatrzone w gniazda do prowadzenia połączeń. Podstawki te mogą być wykorzystane do budowy układów sterujących lub buforujących.

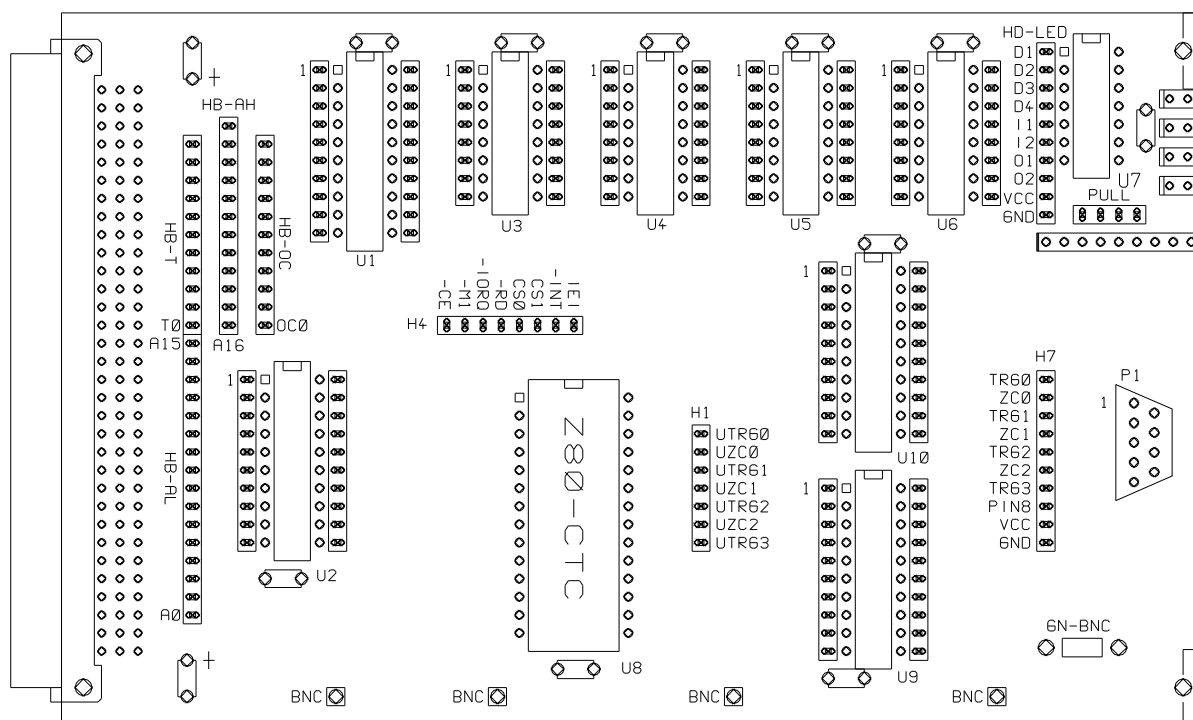
W typowej konfiguracji (bez buforowania sygnałów doprowadzonych do złącza zewnętrznego) wyprowadzenia 1÷7 łączówki H1 powinny być połączone z odpowiadającymi im wyprowadzeniami łączówki H7.

Złącza zewnętrzne

Na zewnątrz pakietu jest dostępne gniazdo szufladowe ELTRA-9 (typ 88100901). Złącze jest dołączone bezpośrednio do łączówki H7. Rozmieszczenie linii

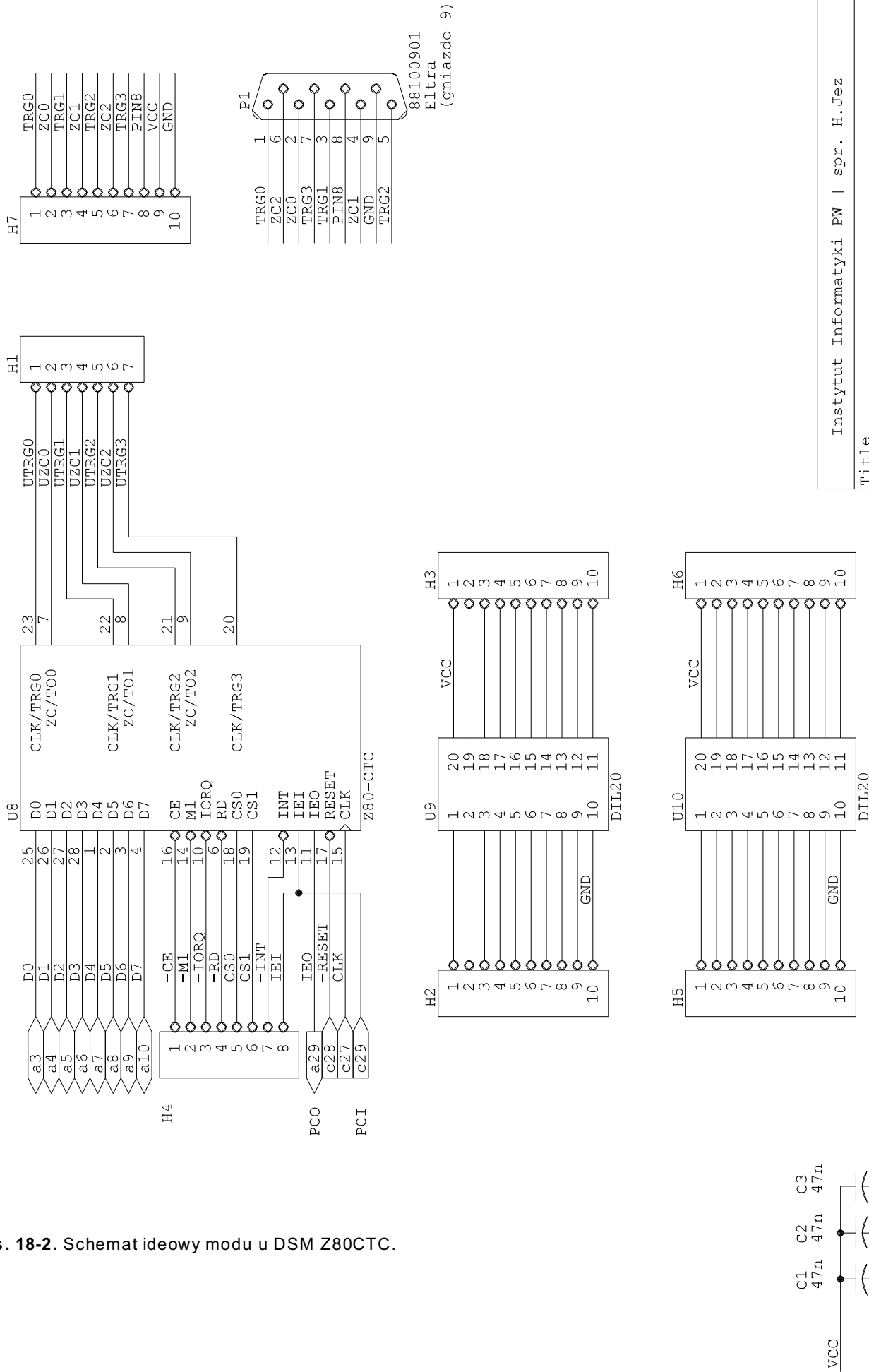
sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nr	Nazwa
TRG0	1	6	ZC2
ZC0	2	7	TRG3
TRG1	3	8	PIN8
ZC1	4	9	GND
TRG2	5	złącze P1	



Rys. 18-1. Roz o enie elementów na module DSM Z80CTC.

Rys. 18-2. Schemat ideowy modu u DSM Z80CTC.



Instytut Informatyki PW spr. H.Jez		
Title		
Programowany układ czasowy		
Size	Document Number	REV
A	DSM / Z80CTC.SCH	2.0
Date:	June 29, 1999	Sheet 1 of 1

Pakiet Z80DART

Funkcja pakietu w systemie

Pakiet Z80DART jest modułem szeregowego wejścia/wyjścia, współpracującym z 8-bitową szyną danych. Pakiet zawiera układy umożliwiające wykorzystanie 2 kanałowego asynchronicznego łącza szeregowego w standardzie RS-232C.

Jako moduł bierny, pakiet Z80DART odpowiada na cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, monitor szyny). Użytkownik musi zapewnić właściwe dekodowanie układu i wytworzenie sygnałów zapisu i odczytu na podstawie strobów dostępu generowanych przez moduł aktywny. W gestii użytkownika pozostaje również zapewnienie sygnalizacji gotowości modułu do zakończenia cyklu transmisji.

Struktura pakietu

W skład pakietu Z80DART wchodzi następujące bloki:

- zespół łączówki,
- zespół dekodera,
- sterownik scalony Z80DART,
- generator zegarów transmisji,
- bufory łącza,
- dodatkowa podstawka.

Dwa pierwsze bloki są identyczne dla wszystkich modułów biernych systemu DSM i zostały opisane w dokumencie ["Część stała pakietów"](#).

Pakiet nie zawiera układów sterujących; sterowanie pozostaje pod pełną kontrolą użytkownika. Szyna danych nie jest buforowana. Buforowanie innych sygnałów szyny pozostaje pod kontrolą użytkownika.

Generator zegarów transmisji jest zbudowany z scalonego oscylatora (U13) i 4-bitowego asynchronicznego licznika binarnego 74HCT93 (U14), pracującego jako dzielnik częstotliwości, o połączonym wejściu A do oscylatora oraz wyjściem QA połączonym z wejściem B; typowe częstotliwości transmisyjne są uzyskiwane z częstotliwości podstawowej (nominalnie 2.4576 MHz) z wyjść licznika U14.

Bufory łącza: sposób buforowania linii łącza jest przedstawiony w tabeli.

Nazwa linii	Typ	Układ	Nr
TXDA,RTSA,DTRA	O	1488	U9
RXDA,CTSA,DCDA,RIA	I	1489	U11
TXDB,RTSB,DTRB	O	1488	U10
RXDB,CTSB,DCDB,RIB	I	1489	U12

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- linie zasilania (+5V, +12V, -12V) i masy,
- linie danych D0-D7,
- linie priorytetu szeregowego przerwania IEI z PCI, IEO z PCO,
- linia zegara systemu CLK,
- linia inicjacji działania systemu -RESET.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka HDA-1 grupuje sygnały związane z komunikacją pomiędzy sterownikiem MMszywą systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-CE	I	Z80DART	linia wyboru układu
2	-M1	I	Z80DART	sygnalizacja cyklu maszynowego M1
3	-IORQ	I	Z80DART	strob współpracy z układami we/wy
4	-RD	I	Z80DART	strob odczytu danych
5	CS0	I	Z80DART	linia wyboru kanału
6	CS1	I	Z80DART	linia wyboru kanału
7	-INT	OC	Z80DART	zgłoszenie przerwania
8	IEI	I	Z80DART	zezwolenie na generację przerw

Łączówka HDA-2 grupuje sygnały wyjściowe dzielnika częstotliwości oscylatora oraz sygnały zegarowe do transmisji.

Nr	Nazwa	Typ	Układ	Funkcja
1	QA	O	74HCT93	dzielnik przez 2
2	QB	O	74HCT93	dzielnik przez 4
3	QC	O	74HCT93	dzielnik przez 8
4	QD	O	74HCT93	dzielnik przez 16
5	UCLKA	I	Z80DART	zegar kanału A
6	UCLKB	I	Z80DART	zegar kanału B

Łączówka HDA-A grupuje sygnały łącza szeregowego kanału A o poziomach TTL i sygnał gotowości do transmisji blokowej z CPU/DMA. *UWAGA! Napisy na płytce drukowanej mają pominiętą początkową literę U i końcową literę A nazwy sygnału ze względu na bliskość sąsiednich elementów. Nie dopuszczać do zwierania końcówek przewodów montażowych z sąsiadującymi wyprowadzeniami układu U9.*

Nr	Nazwa	Typ	Układ	Funkcja
1	UDCDA	I	Z80DART	odblokowanie odbiornika
2	URXDA	I	Z80DART	wejście danych szeregowych
3	UTXDA	O	Z80DART	wyjście danych szeregowych
4	UR TSA	O	Z80DART	żądanie rozpoczęcia nadawania
5	WRDYA	OC/O	Z80DART	transmisja blokowa CPU/DMA
6	URIA	I	Z80DART	sygnał początku transmisji
7	UDTRA	O	Z80DART	programowalne wyjście binarne
8	UCTSA	I	Z80DART	odblokowanie nadajnika

Łączówka HDA-B grupuje sygnały łącza szeregowego kanału B o poziomach TTL i sygnał gotowości do transmisji blokowej z CPU/DMA. *UWAGA! Napisy na płytce drukowanej mają pominiętą początkową literę U i końcową literę B nazwy sygnału ze względu na bliskość sąsiednich elementów. Nie dopuszczać do zwierania końcówek przewodów montażowych z sąsiadującymi wyprowadzeniami układu U10.*

Nr	Nazwa	Typ	Układ	Funkcja
1	UDCDB	I	Z80DART	odblokowanie odbiornika
2	URXDB	I	Z80DART	wejście danych szeregowych
3	UTXDB	O	Z80DART	wyjście danych szeregowych
4	URTSB	O	Z80DART	żądanie rozpoczęcia nadawania
5	WRDYB	OC/O	Z80DART	transmisja blokowa CPU/DMA
6	URIB	I	Z80DART	sygnał początku transmisji
7	UDTRB	O	Z80DART	programowalne wyjście binarne
8	UCTSB	I	Z80DART	odblokowanie nadajnika

wyprowadzenia podstawki są zaopatrzone w gniazda do prowadzenia połączeń. Podstawka ta może być wykorzystana do budowy układów sterujących lub buforujących.

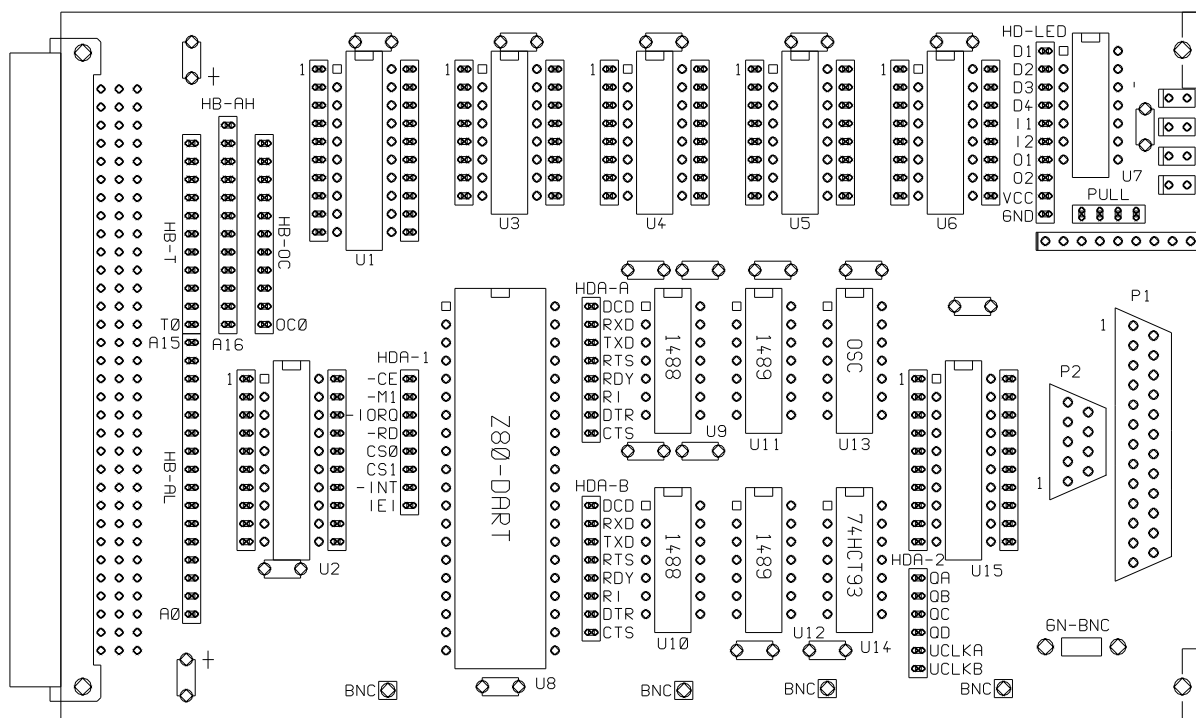
Złącza zewnętrzne

Pakiet posiada dwa złącza zewnętrzne: wtyk szufladowy ELTRA-25 (typ 87102503) o nazwie P1 (kanał A) oraz wtyk szufladowy ELTRA-9 (typ 87100901) o nazwie P2 (kanał B). Złącze P1 jest dołączone bezpośrednio do podstawek U9 i U11, złącze P2 jest bezpośrednio dołączone do podstawek U10 i U12, obydwa złącza wyprowadzają podzbiór sygnałów łącza RS-232C (brak sygnału DSR). Z uwagi na rodzaj i sposób okablowania złączy pakiet pracuje w obydwu kanałach jako urządzenie końcowe transmisji danych (typu DTE). Rozmieszczenie linii sygnałowych jest przedstawione w tabelach.

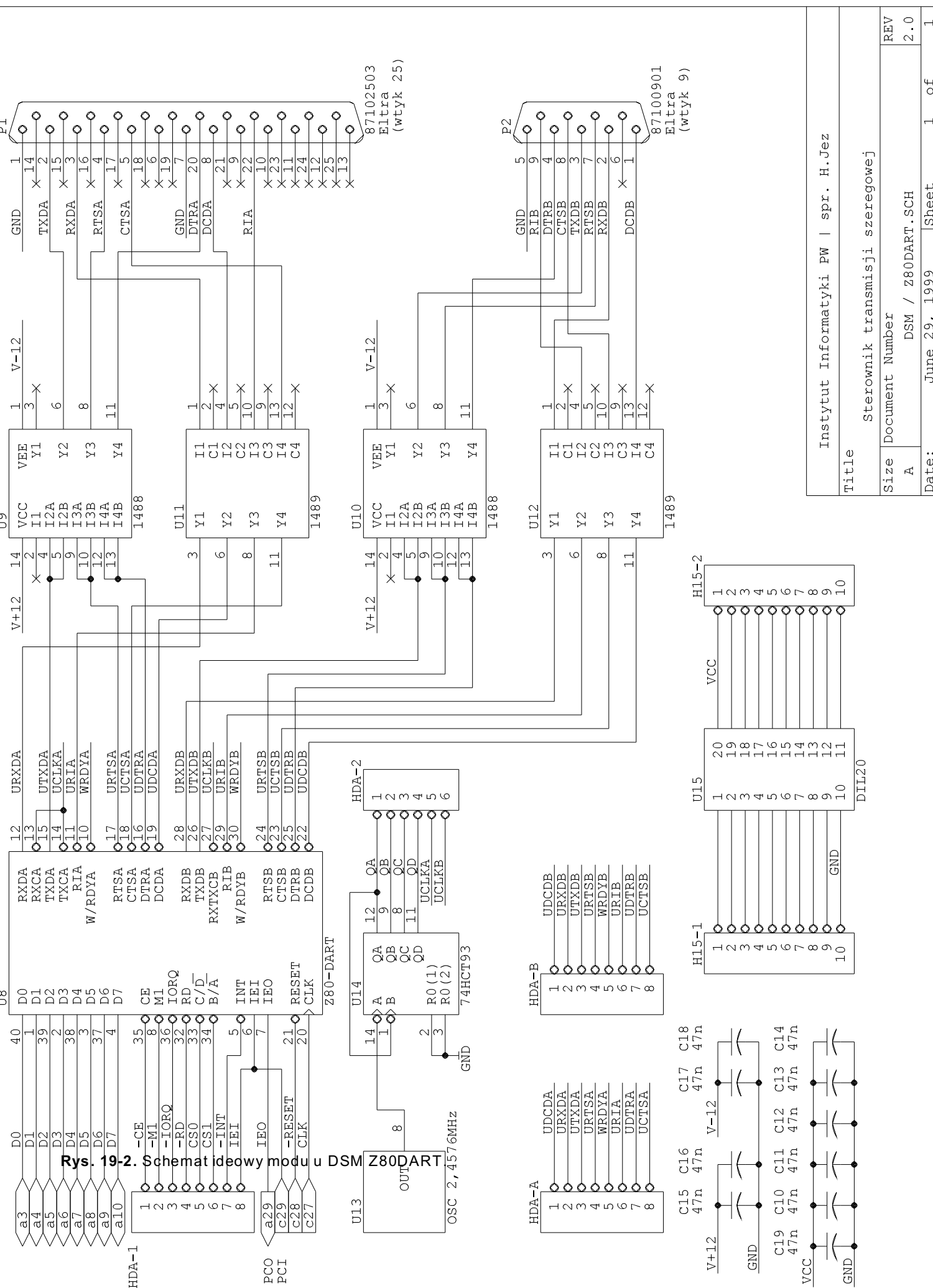
Nazwa	Nr	Nr	Nazwa
GND	1	14	
TXDA	2	15	
RXDA	3	16	
RTSA	4	17	
CTSA	5	18	
	6	19	
GND	7	20	DTRA
DCDA	8	21	
	9	22	RIA
	10	23	
	11	24	
	12	25	
	13	złącze P1	

Nazwa	Nr	Nr	Nazwa
DCDB	1	6	
RXDB	2	7	RTSB
TXDB	3	8	CTSB
DTRB	4	9	RIB
GND	5	złącze P2	

Pozostałe łączówki wchodzi w skład części stałej pakietu. Dodatkowo na pakiecie jest zainstalowana 1 podstawka DIL20 (U15) z podłączonym zasilaniem i masą. Wszystkie



Rys. 19-1. Rozłożenie elementów na module DSM Z80DART.



Instytut Informatyki PW | spr. H.Jez

Title

Sterownik transmisji szeregowej

Size Document Number

A DSM / Z80DART.SCH

REV

2.0

Date: June 29, 1999 Sheet 1 of 1

Pakiet BUSX

Funkcja pakietu w systemie

Pakiet BUSX jest modulem przedłużacza magistrali DSM, umożliwiającym montaż innego modułu DSM, wysuniętego z kasety systemu, np. w celach diagnostycznych.

Struktura pakietu

W skład pakietu BUSX wchodzi następujące bloki:
 wtyk ELTRA-96 typ 81109602, oznaczony X1,
 gniazdo ELTRA-96 typ 82109602, oznaczone X2.

Pierwszy blok jest identyczny dla wszystkich modułów systemu DSM i został opisany w dokumencie ["Część stała pakietów"](#). Drugi blok może zamiennie zawierać gniazdo DIN41612 typ R firmy Harting, o odwróconej numeracji styków, dedykowane do modułów przedłużaczy magistrali.

Pakiet nie zawiera układów sterujących oraz płyty czołowej. Magistrala DSM nie jest buforowana. Szyny zasilania +5V, +12V, -12V mają zamontowane elementy tłumiące oscylacje zasilania (kondensatory).

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego pomiędzy wtykiem X1 i gniazdem X2:

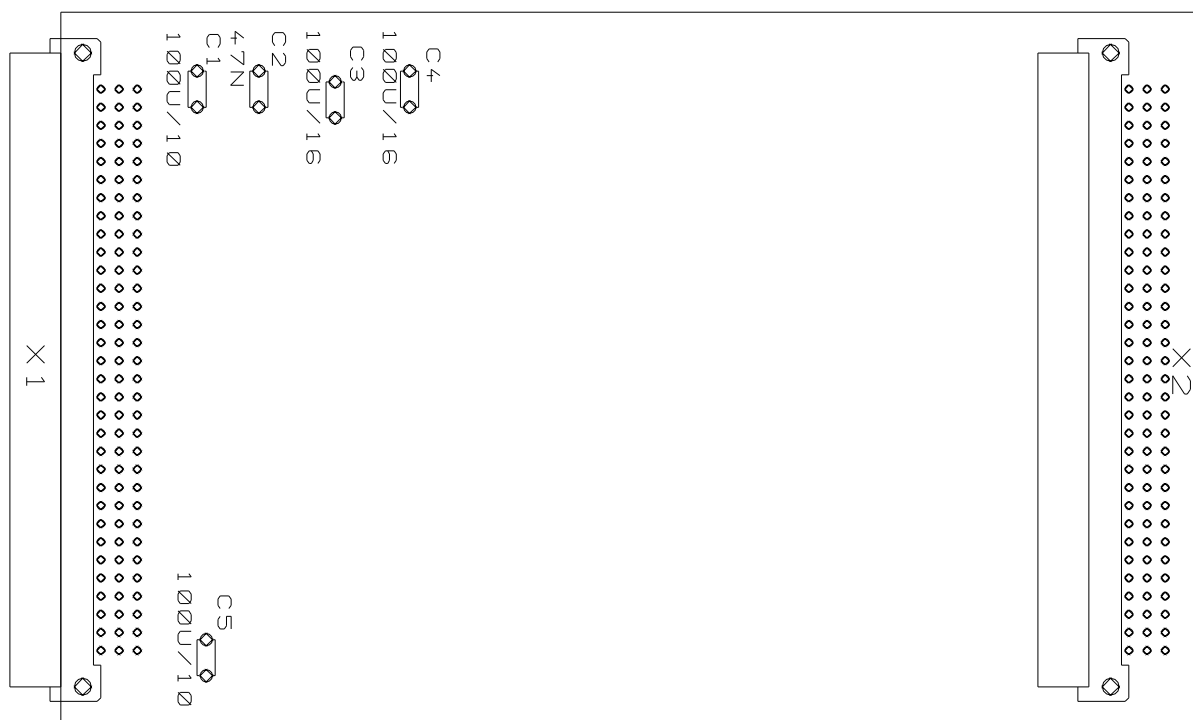
wszystkie linie.

Możliwości konfiguracji

Pakiet nie ma możliwości konfiguracji.

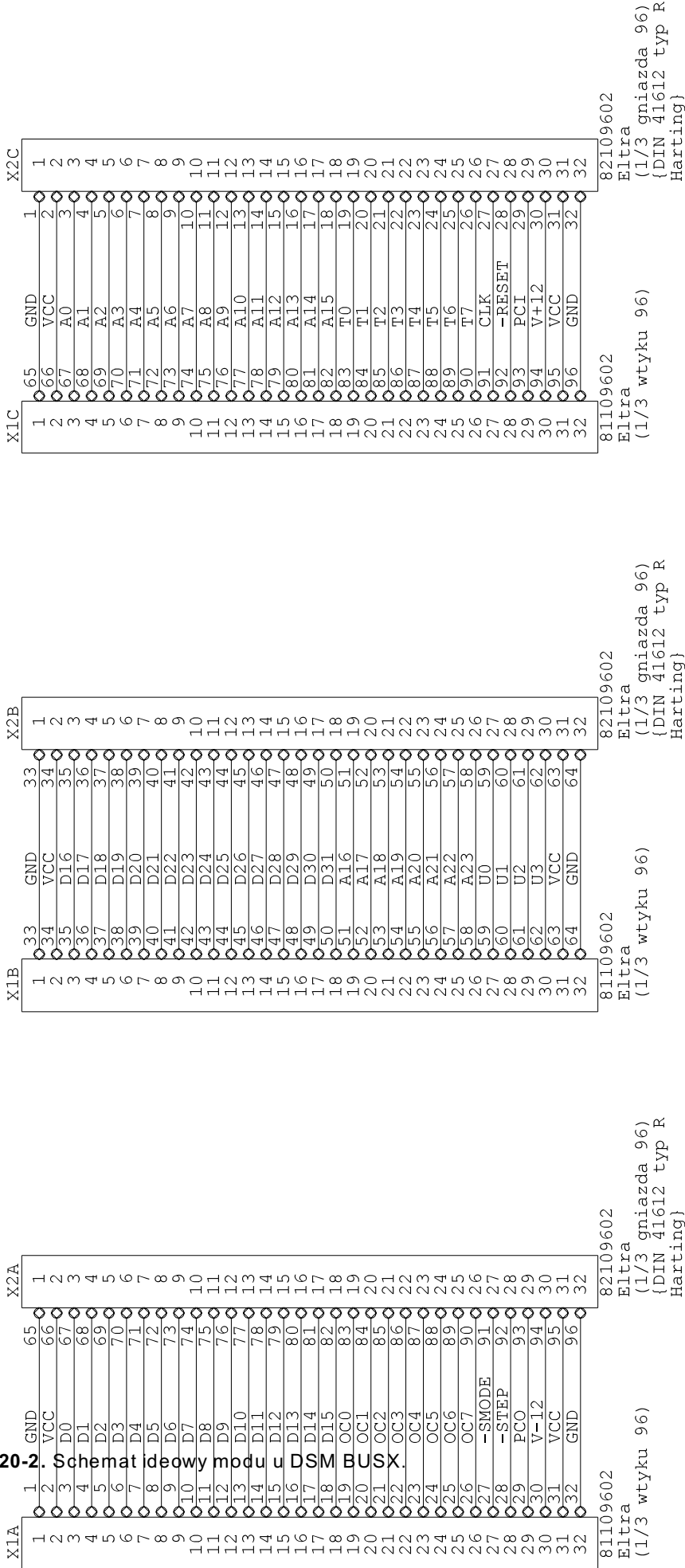
Złącza zewnętrzne

Pakiet posiada 1 złącze zewnętrzne: gniazdo ELTRA-96 (typ 82109602), oznaczone X2. Montaż gniazda na module jest przeprowadzony w sposób odwrotny od przedstawionego na rysunku poniżej (gniazdo jest obrócone o 180 stopni i skierowane stykami na zewnątrz modułu, punktami lutowniczymi do wewnątrz modułu). Rozłożenie sygnałów na złączu widziane od strony styków jest przedstawione w tabeli ["Rozmieszczenie linii na łączówce szyny"](#) w dokumencie ["Opis systemu"](#).

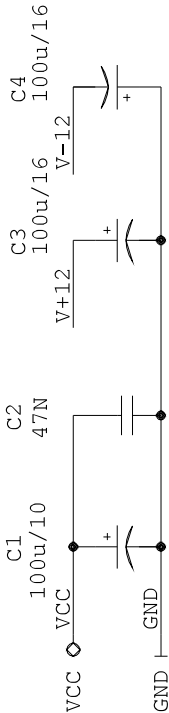


Rys. 20-1. Rozłożenie elementów na module DSM BUSX.

Rys. 20-2. Schemat ideowy modu u DSM BUSX.



Instytut Informatyki PW spr. H.Jez		
Title		
Przedluzacz szyny		
Size	Document Number	REV
A	DSM / BUSX.SCH	1.1
Date:	December 31, 2004	Sheet 1 of 1



Pakiet BM01

Funkcja pakietu w systemie

Pakiet BM01 jest modulem monitora szyny DSM, nadzorującym pracę pozostałych pakietów, podłączonych do szyny. Zawiera on mikrokontroler 8031 z zewnętrzną pamięcią programu i danych, wraz z pomocniczymi rejestrami, buforami i dekodernami, którego praca nadzorowana jest przez użytkownika za pośrednictwem programu Monitor.exe, uruchamianego na komputerze IBM PC AT, połączonego z pakietem BM01 za pośrednictwem łącza szeregowego pracującego w standardzie RS-232C.

Jako moduł bierny, pakiet BM01 bada cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, inny monitor szyny). Jako moduł czynny wystawia sygnały na szynę DSM za pośrednictwem buforów trójstanowych lub z otwartym kolektorem. Użytkownik musi zapewnić właściwe sterowanie pakietu za pośrednictwem programu Monitor.exe (brak arbitrażu sprzętowego w dostępie do szyny DSM dla wielu pakietów BM01 pracujących równocześnie w tej samej kasie). Konfigurację pracy programu Monitor.exe dla danego typu procesora, działającego na szynie DSM, przeprowadza się przy pomocy programu Buscomp.exe. Uniwersalność definicji szyny systemu DSM umożliwia tworzenie nowych konfiguracji dla procesorów o maksymalnej szerokości szyny danych 32 bity, a szyny adresowej 24 bity.

Struktura pakietu

Pakiet BM01 zawiera dwa pakiety: P1 i P2, połączone ze sobą przy pomocy złączy JP1, JP2, JP3.

Pakiet P1

W skład pakietu P1 wchodzi następujące bloki:

- mikrokontroler 8031,
- dekodek adresów z układem kontroli priorytetu szeregowego PCI, PCO szyny DSM,
- pamięć zewnętrzna programu EPROM 2764,
- pamięć zewnętrzna danych i programu SRAM 6264,
- bufor szyny danych mikrokontrolera 8031,
- bufor szyny adresowej mikrokontrolera 8031,
- bufory szyny DSM (B1÷3)
- bufor łącza szeregowego.

Mikrokontroler 8031 (U1) jest taktowany zegarem wytwarzanym przy pomocy kwarcu X1 o częstotliwości 7,3728MHz. Kondensator C3 wytwarza sygnał Reset dla mikrokontrolera po włączeniu zasilania. Dioda D1 przyspiesza rozładowanie kondensatora C3 po wyłączeniu zasilania. Rezystor R1 ogranicza prąd rozładowania kondensatora C3 przy użyciu zewnętrznego przycisku RESET.

Dekoder adresów mikrokontrolera 8031 zawarty jest w układzie PAL20L8 (U2). Łączy on przestrzeń zewnętrznej pamięci programu i danych w jeden obszar 64kB. Na podstawie sygnałów mikrokontrolera 8031: -PSEN, -WR, -RD, A13÷15 wytwarza on sygnały:

- WRO zapis rejestrów wejściowo-wyjściowych,
- RDO odczyt rejestrów wejściowo-wyjściowych,
- OE odczyt EPROM i SRAM,
- MON wybranie rejestrów wejściowo-wyjściowych,
- RAM wybranie pamięci SRAM,
- ROM wybranie pamięci EPROM.

Układ kontroli priorytetu szeregowego PCI, PCO szyny DSM zawarty również w układzie PAL20L8 (U2) realizuje:

- przenoszenie stanu linii PCI na linię PCO,
- ustawianie dowolnego stanu logicznego na linii PCO,
- ustawianie pułapki (tj. warunku zatrzymania pracy procesora) na linii PCI,
- zmianę aktywnego zbocza, powodującego spełnienie warunku zatrzymania procesora, na linii PCI,
- maskowanie pułapki (blokada warunku zatrzymania procesora) na linii PCI.

Używa on sygnałów wejściowych wyprowadzonych z portu P1 mikrokontrolera 8031:

- CIN buforowane wejście PCI (z szyny DSM),
 - COE odblokowanie wyjścia COUT (PCO),
 - CDS wybór wejścia sterującego wyjściem COUT
- gdy CDS=1 to COUT=CIN,
 gdy CDS=0 to COUT=CD,
 CIE odblokowanie wyjścia -INTC
 CD dana dla wyjścia COUT, CIP wybór poziomu logicznego z wejścia PCI ustawiającego poziom aktywny wyjścia -INTC,
 gdy CIP=1 i PCI=1 to -INTC=0,
 gdy CIP=0 i PCI=0 to -INTC=0,

Wytwarza on sygnały wyjściowe:

- COUT wyjście PCO (na szynę DSM),
- INTC przerwanie z wejścia PCI, zgłaszane do wejścia INT0 mikrokontrolera 8031.

Sygnał PCI powinien trwać minimum 3 do 9 cykli maszynowych mikrokontrolera 8031 (1 cykl maszynowy = 12 cykli zegara mikrokontrolera 8031), jeśli nie jest obsługiwane w tym czasie inne przerwanie. W przypadku, gdy inne przerwanie jest obsługiwane, to powinien trwać do jego zakończenia. **Program mikrokontrolera 8031 analizuje pułapki, wstrzymując pracę procesora działającego na szynie DSM** (np. cykle Wait dla Z80 CPU), korzystając z układów pracy krokowej umieszczonych na pakiecie procesora. Wystawia wtedy sygnał -SMODE=0, oraz, przy każdym kroku, sekwencję 0,1 na linii -STEP.

Uwaga! Pakiet 8051 nie ma układów pracy krokowej.

Pakiet BM01 powinien być umieszczony w kasie DSM w ten sposób, aby miał po swojej prawej stronie (patrząc od strony płyt czołowych pakietów) pakiet, wystawiający sygnał PCO, który ma być rozpoznany przez BM01 na wejściu PCI.

Przykład.

BM01 ma badać sygnał IEO wystawiany przez Z80DMA do wejścia IEI w Z80PIO. W 3 dowolnie wybranych ale sąsiadujących gniazdach szyny DSM należy umieścić kolejno od prawej strony pakiet Z80DMA, BM01, Z80PIO.

Struktura logiczna układu U2 przedstawiona jest na 6 arkuszu schematu ideowego tego pakietu.

Mapa zewnętrznej przestrzeni adresowej mikrokontrolera jest przedstawiona poniżej w tabeli.

A15÷1 3	A12÷5	A4÷0	-PSEN	-RD	-WR	Linia	Opis
000	x...x	xxxxx	0	1	1	-ROM	Odczyt pamięci EPROM (program)
010	x...x	xxxxx	0	1	1	-RAM	Odczyt pamięci SRAM (program)
010	x...x	xxxxx	1	0	1	-RAM	Odczyt pamięci SRAM (dane)
010	x...x	xxxxx	1	1	0	-RAM	Zapis do pamięci SRAM (dane)
111	x...x	00000 00001 01000 01001	1	0	1	-MON	Odczyt 8 linii szyny DSM dołączonych do rejestru wejściowego B(nr+1) o numerze określonym bitami A3÷A0
111	x...x	10000 10001 11000 11001	1	0	1	-MON	Odczyt zawartości rejestru wejściowego B(nr+1) o numerze określonym bitami A3÷A0
111	x...x	x0000 x0001 x1000 x1001	1	1	0	-MON	Zapis do rejestru wyjściowego B(nr+1) o numerze określonym bitami A3÷A0
111	x...x	x1100	1	1	0	-MON	Zapis do rejestru sterującego diodami LED (RLED)
111	x...x	x1101	1	1	0	-MON	Zapis do rejestru konfiguracji rejestrów B1÷5 (RCFGL)
111	x...x	x1110	1	1	0	-MON	Zapis do rejestru konfiguracji rejestrów B6÷10 (RCFGH)
111	x...x	x1111	1	1	0	-MON	Zatrzymanie aktualnego stanu szyny DSM w rejestrach wejściowych B1÷10
Pozostałe kombinacje adresów oraz stroby zapisu i odczytu są zabronione.							

Pamięć zewnętrzna programu EPROM 2764 (U6) o organizacji 8k x 8 bitów przechowuje program pracy mikrokontrolera 8031, który realizuje obsługę połączenia z IBM PC AT i steruje buforami szyny DSM w trybie biernym. Zawartość tej pamięci jest zachowana po wyłączeniu zasilania.

Pamięć zewnętrzna danych i programu SRAM 6264 o organizacji 8k x 8 bitów przechowuje dane mikrokontrolera 8031. Część danych, odebranych z IBM PC AT, służy jako procedury sterujące buforami szyny DSM w trybie aktywnym, wykonywane przez mikrokontroler 8031 (zewnętrzna pamięć programu). Zawartość tej pamięci jest tracona po wyłączeniu zasilania.

Bufory mikrokontrolera 8031.

Dane o układach buforujących mikrokontrolera 8031 zostały przedstawione w tabeli.

Nazwa linii	Typ	Układ	Nr układu
D0÷7	I/O/Z	74HCT245	U4
A0÷7	O/Z	74HCT573	U3

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Bufory szyny DSM.

Dane o układach buforujących szyny DSM zostały

przedstawione w tabeli.

Nazwa linii	Typ	Układ	Nr układu
A0÷7	I/O/Z	74HCT652	B1
A8÷15	I/O/Z	74HCT652	B2
T0÷7	I/O/Z	74HCT652	B3

Bufor łącza szeregowego.

Sposób buforowania łącza jest przedstawiony w tabeli.

Nazwa linii	Typ	Układ	Nr układu
TXD, RTS, DTR	O	MC145406	U7
RXD, CTS, DSR	I	MC145406	U7

Pakiet P2

W skład pakietu P2 wchodzi następujące bloki:
 bufory szyny DSM,
 rejestry konfiguracji RCFGL, RCFGH,
 rejestr sterowania diodami LED RLED,
 dzielnik częstotliwości sygnału CLK szyny DSM,
 dekodery strobów.

Bufory szyny DSM.

Dane o układach buforujących szyny DSM zostały

zestawione w tabeli.

Nazwa linii	Typ	Układ	Nr układu
D16÷23	I/O/Z	74HCT652	B4
D24÷31	I/O/Z	74HCT652	B5
A16÷23	I/O/Z	74HCT652	B6
D0÷7	I/O/Z	74HCT652	B7
D8÷15	I/O/Z	74HCT652	B8
OC0÷7	I/OC	74ALS654	B9
-RESET, U0÷3, -SMODE, -STEP	I/OC	74ALS654	B10

Rejestry konfiguracji RCFGL, RCFGH wytwarzają sygnały -OE0÷4, -OE5÷9 odblokowujące wyjścia buforów odpowiednio B1÷5 oraz B6÷10 na szynę DSM. Dane o rejestrach konfiguracji zostały zestawione w tabeli.

Nazwa linii	Typ	Układ	Nr układu
-OE0÷4	O	74HCT174	U5
-OE5÷9	O	74HCT174	U6

Rejestr sterowania diodami LED RLED (układ U7) zaświeca (stanem "0") lub gasi (stanem "1") diody LED umieszczone na płycie czołowej pakietu monitora w kolejności najmniejszy numer diody od dołu. Dane o sygnałach wyjściowych tego rejestru zostały przedstawione w tabeli.

Nazwa	Typ	Układ	Funkcja
-LED1	O	74HCT174	brak
-LED2	O	74HCT174	wskaźnik napięcia zasilania
-LED3	O	74HCT174	praca monitora w trybie Slow Run
-LED4	O	74HCT174	gotowość do odbioru bloku z IBM PC AT
-LED5	O	74HCT174	nadawanie bloku do IBM PC AT

Dzielnik częstotliwości sygnału CLK szyny DSM używa licznika binarnego 74HCT4040 (U8) do podziału przez 256 (dziesiętnie) częstotliwości wejściowej ($f_{CLK\ max} = 25\text{MHz}$). Sygnał wyjściowy DCLK z wyjścia Q8 jest podawany na wejście T0 licznika 0 mikrokontrolera 8031, który zlicza impulsy w przedziale czasowym ustalonym w programie.

Dekodery strobów.

Dane o dekodernach strobów zostały przedstawione w tabeli.

Nazwa	Typ	Układ	Nr	Funkcja
-------	-----	-------	----	---------

RD0÷9	O	74HCT154 74HCT04 74HCT04	U1 U3 U4	odczyt linii szyny DSM z bufora B1÷10, gdy A4=0; odczyt rejestru wejściowego bufora B1÷10, gdy A4=1
-WR0÷9	O	74HCT154	U2	zapis rejestru wyjściowego bufora B1÷10
-LWR	O	74HCT154	U2	zapis rejestru sterującego diodami LED
-WRL	O	74HCT154	U2	zapis rejestru konfiguracji RCFGL
-WRH	O	74HCT154	U2	zapis rejestru konfiguracji RCFGH
-GET	O	74HCT154	U2	zapis rejestrów wejściowych buforów B1÷10 stanem szyny DSM

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego: wszystkie linie.

Możliwości konfiguracji

Pakiet P1.

Łączówka JP4 służy do wyboru konfiguracji pamięci programu mikrokontrolera. W przypadku wykorzystywania wewnętrznej pamięci ROM/EPROM mikrokontrolera (np. 8751) należy zewrzeć wyprowadzenia 1 i 2, w przeciwnym razie (w tym dla 8031) - wyprowadzenia 2 i 3.

Nr	Nazwa	Typ	Układ	Funkcja
1	VCC	PWR	-	linia zasilania +5V
2	E/V	I	8031	wejście wyboru pamięci ROM
3	GND	PWR	-	linia masy

Łączówka JP5 służy do dołączenia zewnętrznego przycisku, którego zwarcie zestyków resetuje mikrokontroler 8031.

Nr	Nazwa	Typ	Układ	Funkcja
1	VCC	PWR	-	linia zasilania +5V
2	RST	I	8031	wejście Reset

Złącza wewnętrzne

Pakiet posiada trzy złącza wewnętrzne JP1, JP2, JP3 (jedorzędowe listwy z gniazdkami precyzyjnymi), łączące pakiety P1 i P2. Na pakiecie P1 są wtyki montowane po stronie lutowania, na pakiecie P2 są gniazdko montowane po stronie elementów (w dwóch warstwach).

Rozmieszczenie linii jest przedstawione w tabelach obok.

Złącza zewnętrzne

Na zewnątrz pakietu są dostępne: gniazdo BNC-50 oraz wtyk szufladowy ELTRA-9 (typ 87100901) oznaczony P1.

Gniazdo BNC-50 służy do dołączenia kabla zasilającego sondy logicznej o poziomach TTL. Styk zewnętrzny gniazda (ekran) dołączony jest do masy (GND), styk wewnętrzny ("gorący") do VCC (+5V). Pobór prądu z gniazda nie powinien przekraczać natężenia 0,5A (brak zabezpieczenia przed zwarcie).

Wtyk P1 wyprowadza podzbiór sygnałów złącza RS232C. Złącze jest dołączone bezpośrednio do podstawki U7. Z uwagi na rodzaj i sposób okablowania złącza pakiet pracuje jako urządzenie końcowe transmisji danych (typu DTE). Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nr	Nazwa
	1	6	-DSR
-RXD	2	7	-RTS
-TXD	3	8	-CTS
-DTR	4	9	
GND	5	złącze P1	

Transmisja danych z IBM PC AT jest zapewniona przez kabel typu "null modem", zawierający dwie pary skrętki. Jeden z przewodów skrętki przenosi sygnał danych, drugi jest dołączony do masy. Długość kabla wynosi 3m. Kabel zakończony jest po stronie pakietu BM01 gniazdem ELTRA-9 (typ 88100901), dołączanym do wtyku P1, po stronie IBM PC AT gniazdem ELTRA-25 (typ 88102503), dołączanym do portu COM1 (lub COM2). Połączenia w kablu przedstawione są w tabeli.

Nazwa w BM01	Nr w ELTRA-9	Nr w ELTRA-25	Nazwa w IBM PC
-RXD	2	2	-TXD
-TXD	3	3	-RXD
GND	5	7	GND

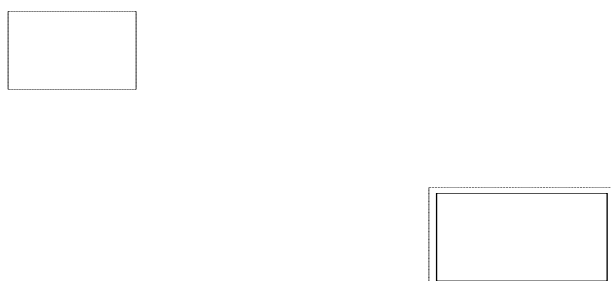
Parametry transmisji:

transmisja asynchroniczna,
prędkość transmisji = 19200 bodów,
liczba bitów danych = 8,
bit parzystości = even,
liczba bitów stopu = 1.

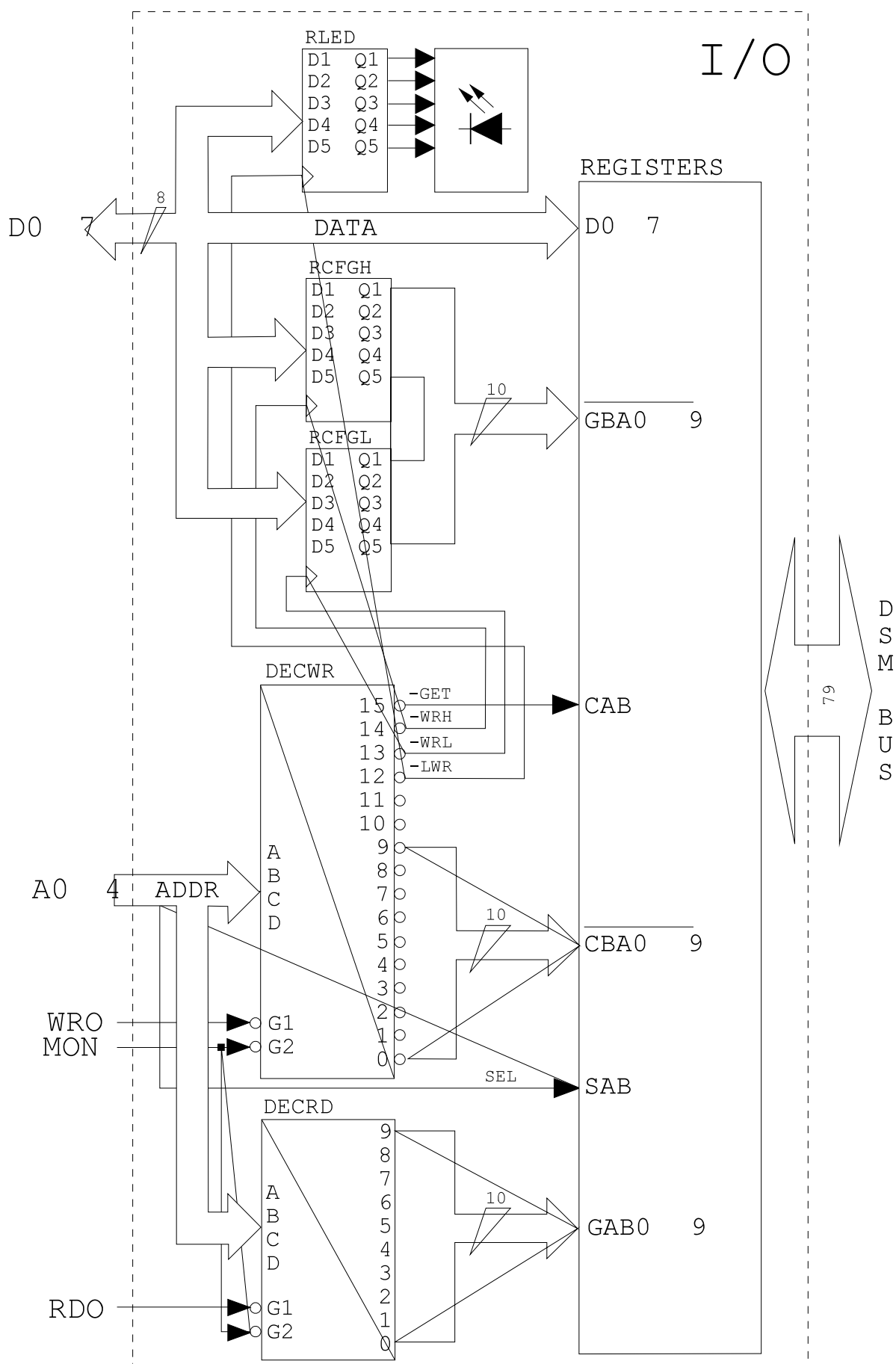
Nazwa	Nr
GND	1
VCC	2
oc3	3
oc4	4
oc5	5
oc6	6
oc7	7
oc8	8
oc9	9
oc10	10
oc11	11
oc12	12
oc13	13
oc14	14
oc15	15
oc16	16
oc17	17
oc18	18
oc19	19
oc20	20
oc21	21
oc22	22
oc23	23
oc24	24
oc25	25
oc26	26
	27
	28
CIN	29
COUT	30
VCC	31
GND	32
złącze JP1	

Nazwa	Nr
D0	1
D1	2
D2	3
D3	4
D4	5
D5	6
D6	7
D7	8
A0	9
A1	10
A2	11
A3	12
A4	13
-RDO	14
-WRO	15
-MON	16
złącze JP2	

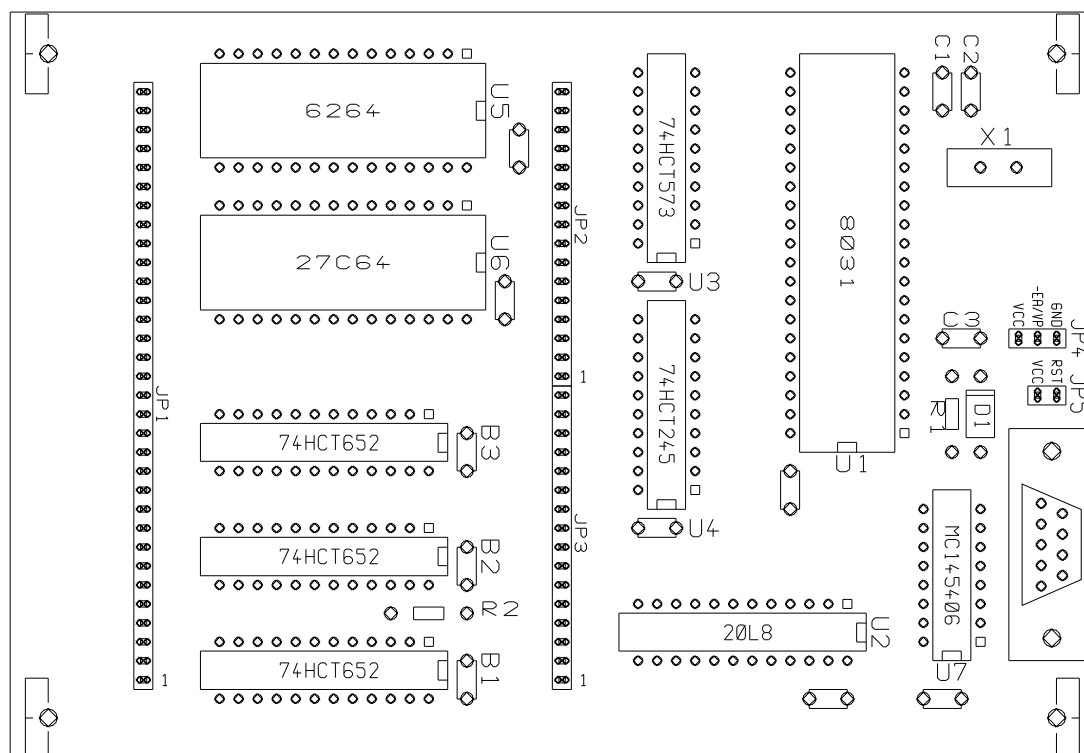
Nazwa	Nr
-WR0	1
-OE0	2
RD0	3
-WR1	4
-OE1	5
RD1	6
-WR2	7
-OE2	8
RD2	9
-GET	10
DCLK	11
GND	12
V-	13
V+	14
VCC	15
GND	16
złącze JP3	



Rys. 21-1. Schemat blokowy modu u DSM BM01.

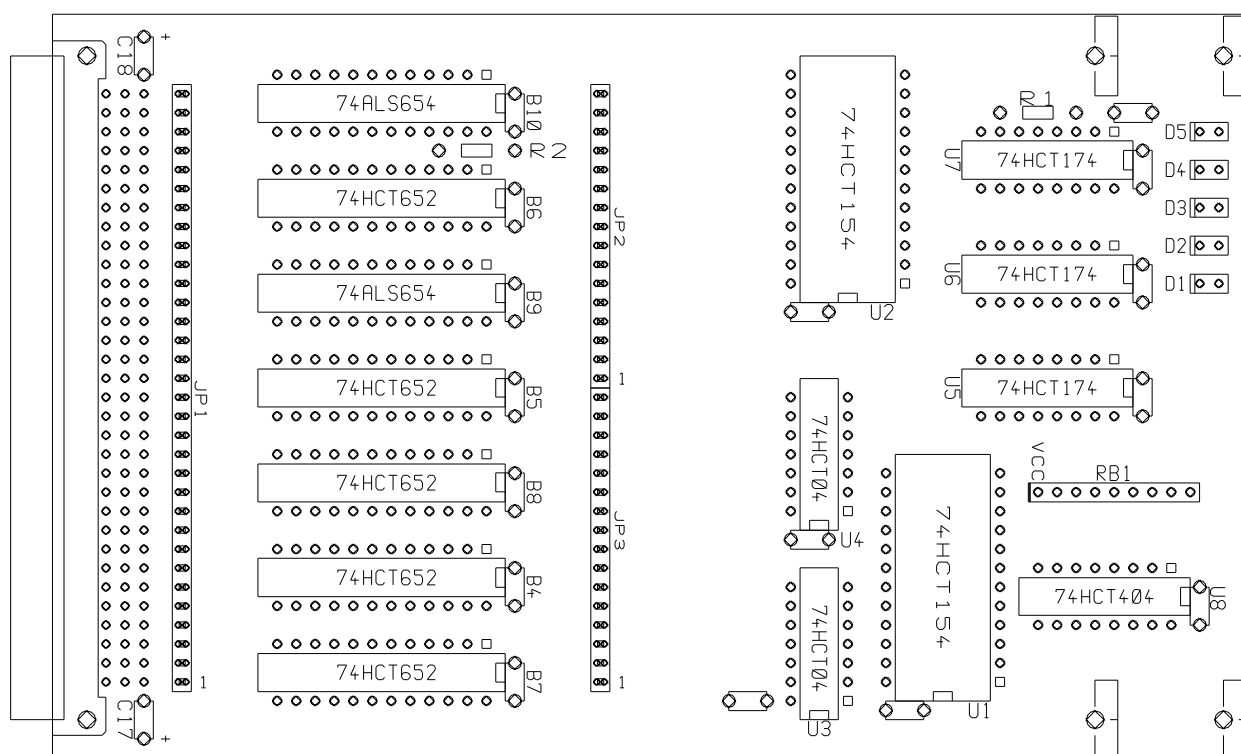


Rys. 21-2. Schemat blokowy buforów szyny DSM w module DSM BM01.



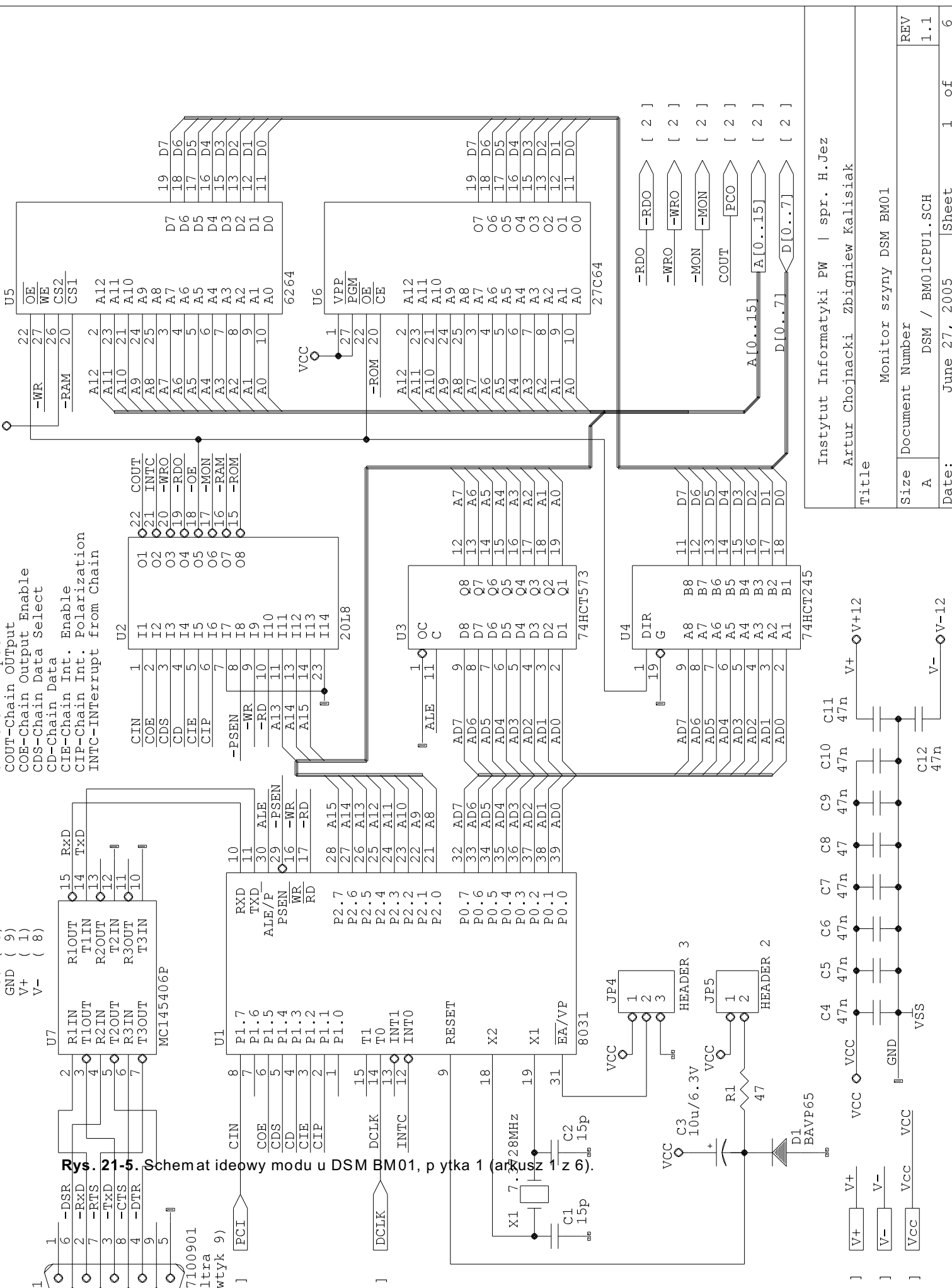
DSM Bus Monitor. Board P1.

Rys. 21-3. Rozłożenie elementów na module DSM BM01 (płyta 1).



Rys. 21-4. Rozłożenie elementów na module DSM BM01 (płyta 2).

DSM Bus Monitor. Board P2.



Instytut Informatyki PW | spr. H.Jez
Artur Chojnacki Zbigniew Kalisiak

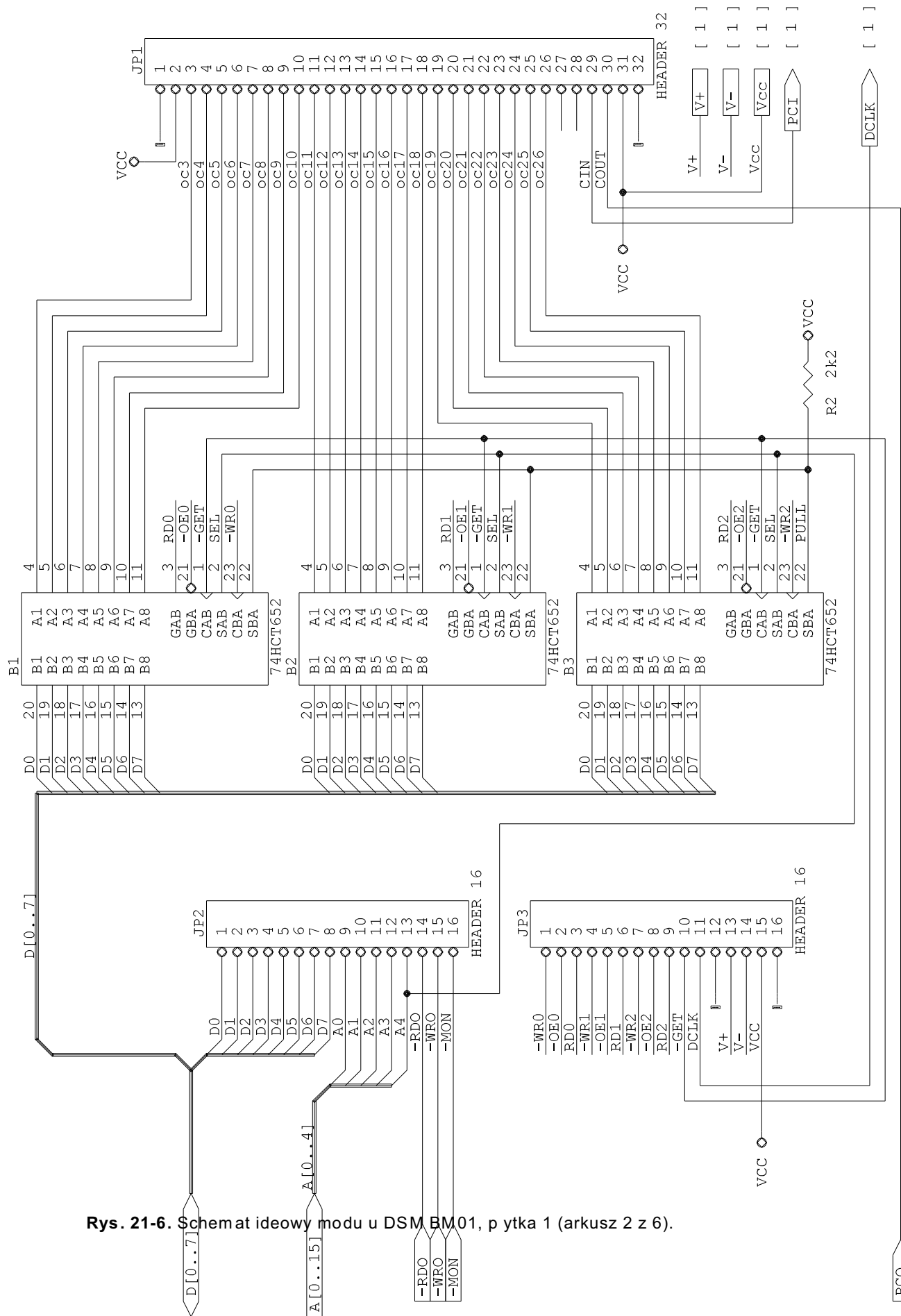
Title
Monitor szyny DSM BM01

Size
A

Document Number
DSM / BM01CPU1.SCH

REV
1.1

Date: June 27, 2005 Sheet 1 of 6



Rys. 21-6. Schemat ideowy modu u DSM BM01, p ytk 1 (arkusz 2 z 6).

Instytut Informatyki PW | spr. H.Jez
Artur Chojnacki Zbigniew Kalisiak

Title

Monitor szyny DSM BM01

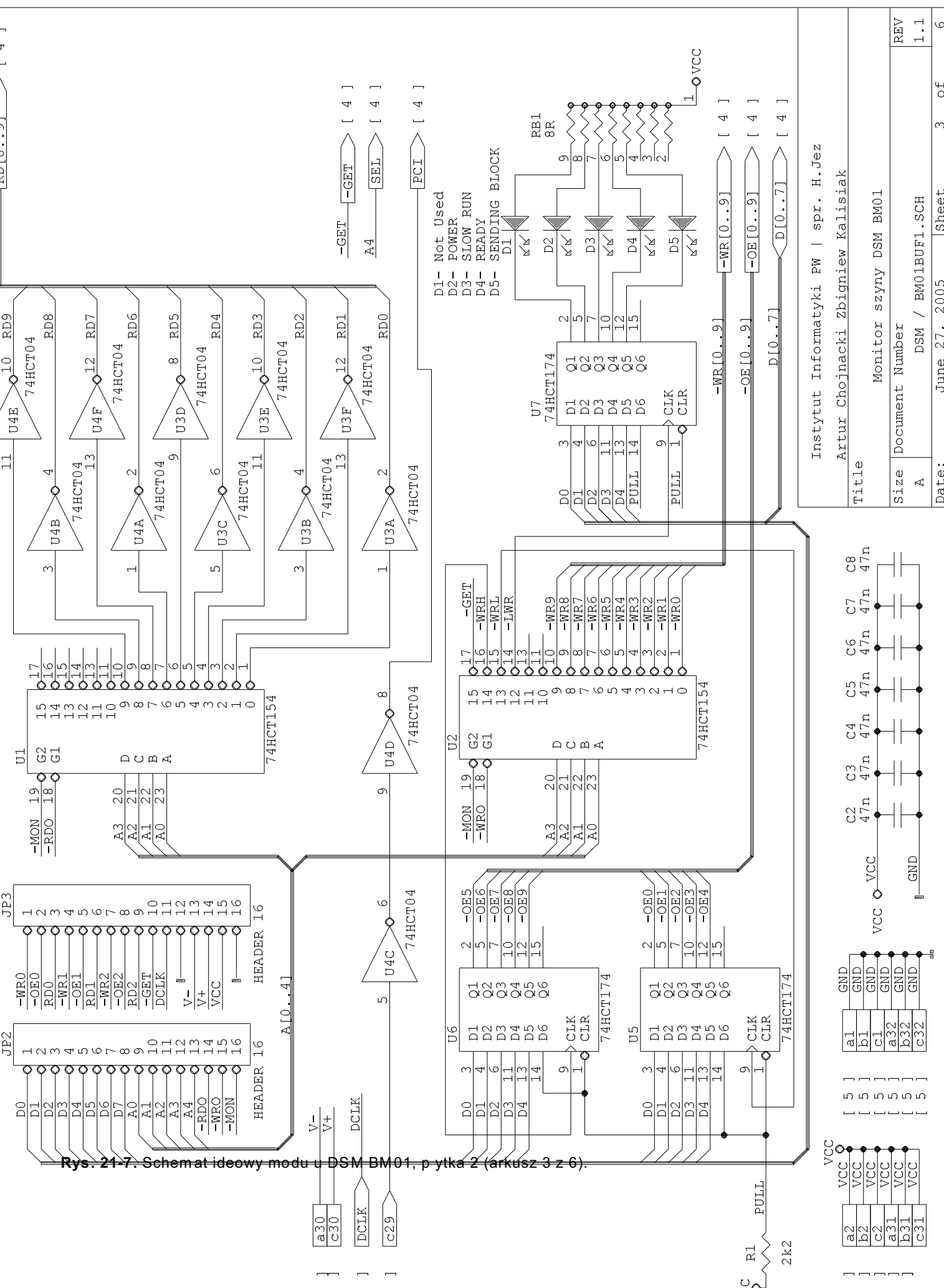
Size Document Number

A DSM / BM01CPU2.SCH

Date: June 27, 2005 Sheet 2 of 6

REV

1.1



Instytut Informatyki PW | spr. H.Jez

Artur Chojnacki Zbigniew Kalisiak

Title

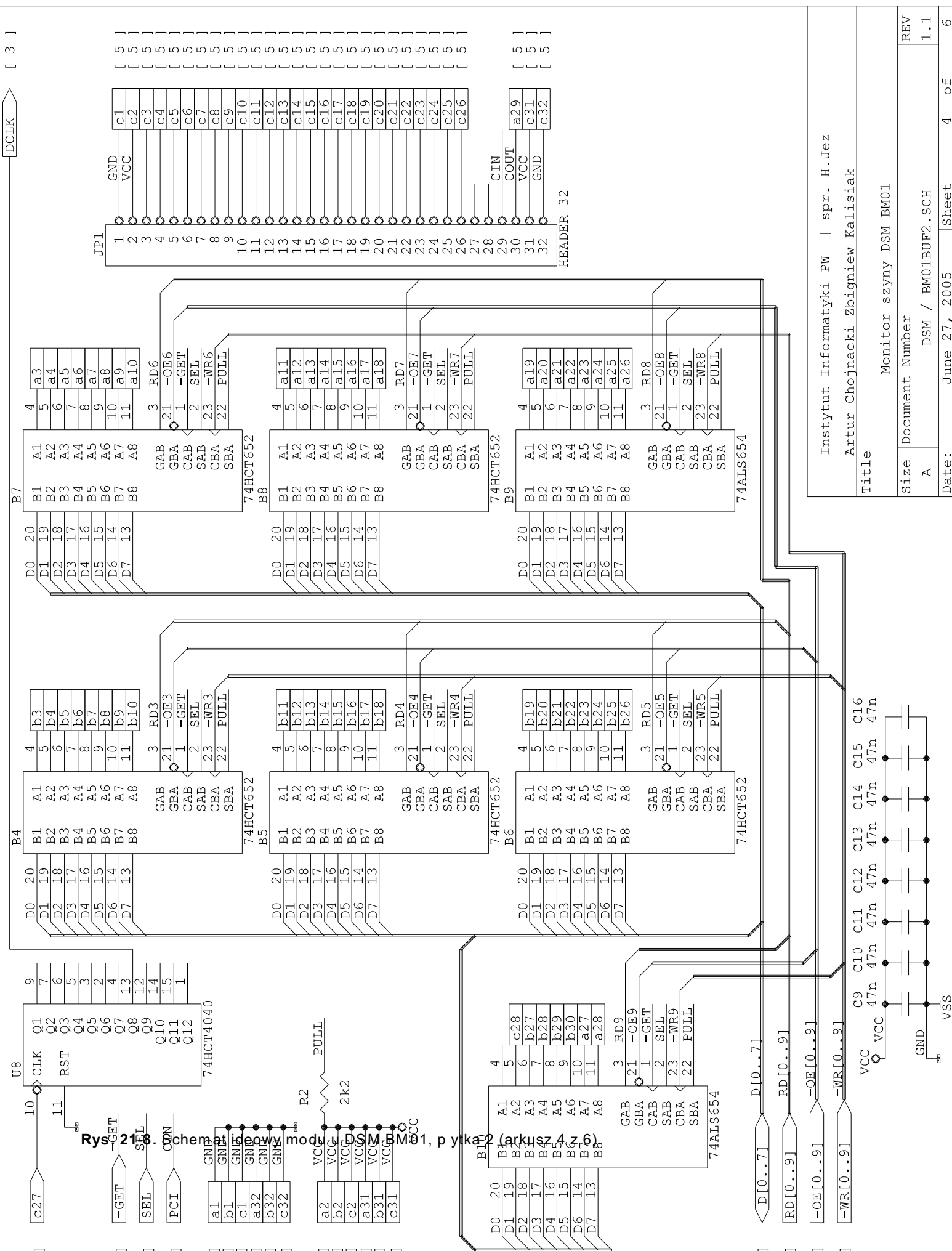
Monitor szyny DSM BM01

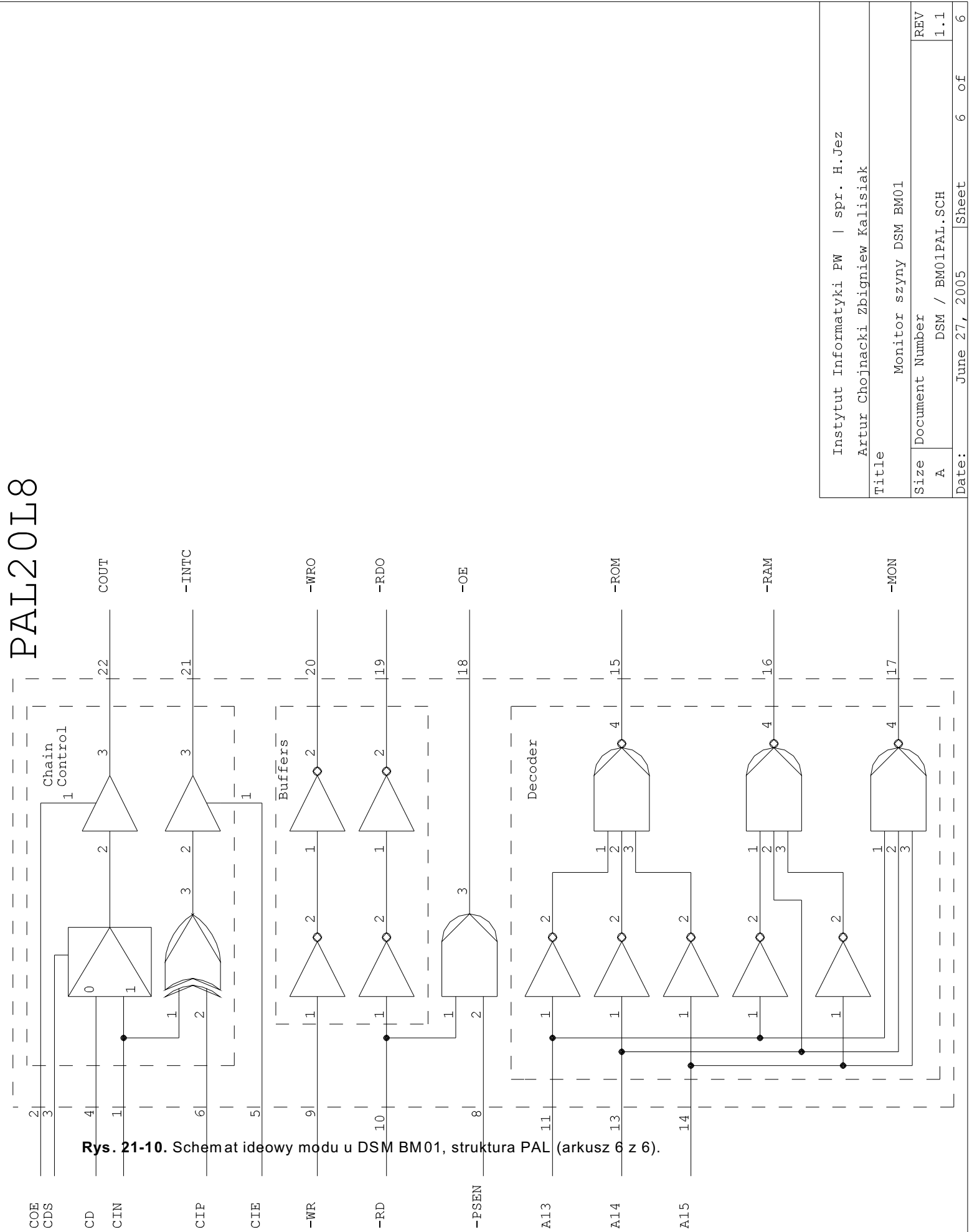
Size Document Number

A DSM / BM01BUF1.SCH

REV 1.1

Date: June 27, 2005 Sheet 3 of 6





Rys. 21-10. Schemat ideowy modu u DSM BM01, struktura PAL (arkusz 6 z 6).

Instytut Informatyki PW spr. H.Jez			
Artur Chojnacki Zbigniew Kalisiak			
Title			
Size	Document Number	REV	
A	DSM / BM01PAL.SCH	1.1	
Date:	June 27, 2005	Sheet	6 of 6

Plater kasety

Funkcja plateru w systemie

Plater kasety zapewnia połączenia elektryczne i mocowanie mechaniczne gniazd ELTRA-96 w ilości 11 szt. zgodnie ze standardem magistrali DSM oraz z zasilaczem sieciowym (4 wtyki). Gniazda te przewidziane są do podłączenia pakietów DSM, wsuniętych do kasety na prowadnicach rozmieszczonych u góry i u dołu kasety. Plater umieszczony jest pionowo w głębi kasety, oddzielony od jej tylnej ścianki zasilaczem sieciowym. Pakiet jest wsuwany wtykiem ELTRA-96 w gniazdo Eltra-96, umieszczone na platerze, z siłą docisku większą od 115N (płyta czołowa pakietu powinna wejść w obramowanie kasety).

Struktura plateru

W skład plateru wchodzi następujące bloki:

- wtyki zasilania 6 stykowe (2 rzędy po 3 styki), rozstaw 2,54mm, przekrój kwadratowy 0,6mm x 0,6mm, złożone, 2 sztuki oznaczone Y1, Y2.
- wtyki zasilania 4 stykowe (2 rzędy po 2 styki), rozstaw 2,54mm, przekrój kwadratowy 0,6mm x 0,6mm, złożone, 2 sztuki oznaczone Y3, Y4.
- gniazda ELTRA-96 typ 82109602, 11 sztuk oznaczone X1 do X11.
- rezystor ustalający "1" na wejściu PCI gniazda X1, oznaczony R1.

Plater ma wymiary mechaniczne: wysokość 94mm (3700mils), długość 420mm (16540mils). Jednostka 1 mil = 0,001 cala. Grubość płytki drukowanej 1,5mm. Laminat FR-4 dwuwarstwowy, folia miedzi ma grubość 0,035mm. Ścieżki zasilania +5V szt.4 oraz masy GND szt.4 mają szerokość po 50 mils, natomiast linie zasilania +12V, -12V oraz pozostałe linie mają po 1 ścieżkę o szerokości 15mils. Ścieżki zasilania +5V są ze sobą połączone, podobnie jest ze ścieżkami masy GND.

Gniazda X1+X11 są rozmieszczone w odstępach 40,64mm. Umożliwia to stosowanie płyty czołowej pakietu o szerokości 40mm (lub o podwojonym rozmiarze 80mm). Strona elementów pakietu jest po lewej stronie gniazda, patrząc od strony płyty czołowej pakietu. Wymiary płytki drukowanej pakietu: wysokość 100mm, długość 160mm (zgodne ze standardem Europa). Kasetka typu Euro firmy Polon z Krakowa (rok produkcji 1995).

Gniazdo X11 przewidziane jest do podłączenia pakietu zasilania o szerokości płyty czołowej 20mm. Jest on umieszczony przy lewym boku kasety. Zawiera on wyłącznik dwubiegunowy sieci energetycznej 220V (połączenie oddzielnym kablem), oraz 3 diody LED (wraz z rezystorami), sygnalizujące obecność napięć wyjściowych zasilacza.

Przewidywane parametry zasilacza:

wejściowe: $U=220V$ (230V), $I=0,8A$, jednofazowe, $f=50Hz$,

wyjściowe: $U_1=+5V$, $I_1=5A$,
 $U_2=+12V$, $I_2=1A$,
 $U_3=-12V$, $I_3=1A$,

z zabezpieczeniem nadprądowym i nadnapięciowym.

Parametry te spełnia zasilacz impulsowy PWS-74-3/1 (rok produkcji 1995) firmy Zakład Elektroniczny POLWAT sp. cyw.

44-117 Gliwice, ul. Toszecka 101.

Zasilacz ten ma chłodzenie konwencjonalne (nie wymaga instalowania wentylatora). Masa zasilacza jest połączona z masą plateru, obudową kasety i ze stykiem ochronnym wtyku zasilania 220V.

Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego pomiędzy gniazdami X1+X11:

wyjście PCO gniazda z wejściem PCI gniazda następnego (wejście PCI gniazda X1 do "1"),
 pozostałe linie połączone równolegle.

Możliwości konfiguracji

Plater nie ma możliwości konfiguracji.

Złącza wewnętrzne

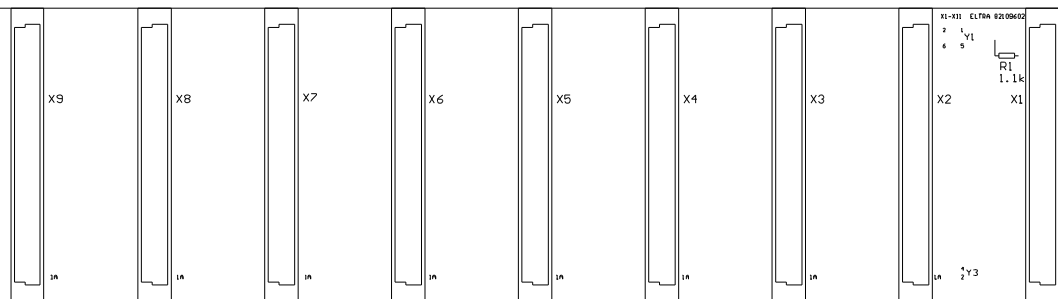
Plater posiada 4 złącza wewnętrzne, montowane po stronie lutowania: wtyki Y1, Y2, Y3, Y4 do połączenia z zasilaczem sieciowym, dostarczającym stabilizowanych napięć prądu stałego. Wtyki te nie występują w wersji plateru wykonanej metodą owijania (zamiast płytki z obwodem drukowanym w postaci ścieżek są połączenia wykonane srebrzątką w izolacji z kynaru o średnicy 0,25mm i srebrzątką o średnicy 1mm, tak jak to przedstawiono na schemacie ideowym plateru). Rozmieszczenie linii zasilania jest przedstawione w tabelach.

Nazwa	Nr	Nr	Nazwa
GND	1	2	GND
+5V	3	4	+5V
+12V	5	6	-12V
złącze Y1, Y2			

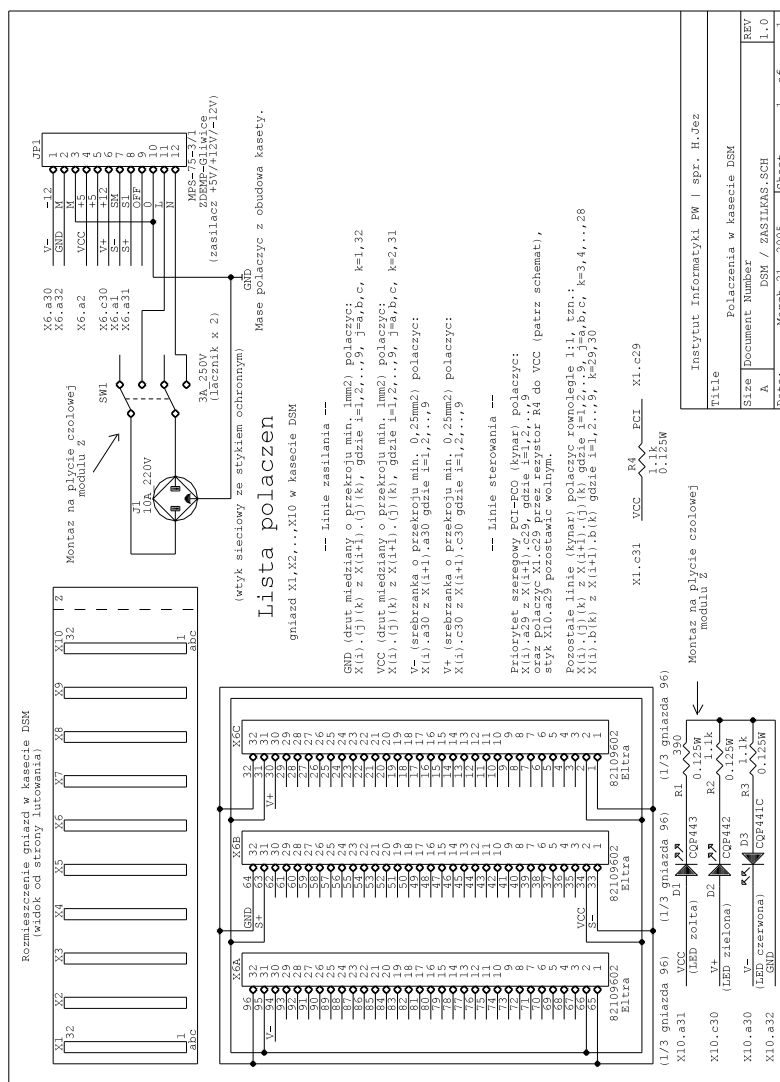
Nazwa	Nr	Nr	Nazwa
GND	1	2	GND
+5V	3	4	+5V
złącze Y3, Y4			

Złącza zewnętrzne

Plater posiada 11 złącz zewnętrznych, montowanych po stronie elementów: gniazda ELTRA-96 (typ 82109602), oznaczone X1+X11. Rozłożenie sygnałów na złączach widziane od strony styków jest przedstawione w tabeli ["Rozmieszczenie linii na łączówce szyny"](#) w dokumencie ["Opis systemu"](#).



Rys. 22-11. Roz o enie elementów na platerze DSM.



Rys. 22-12. Schemat ideowy plateru DSM.

Literatura

Literatura podstawowa

Pakiet **MEM8 i MEM16**:

- 1.1. "HM6264A Series 8192-word x 8-bit High Speed CMOS Static RAM" Hitachi Semiconductor, 01_004.pdf (str. 10),
- 1.2. "HN27C256HG Series 32768-word x 8-bit CMOS UV Erasable and programmable ROM" Hitachi Semiconductor, 02_011.pdf (str. 15),
- 1.3. "HN58C65 Series 8192-word x 8-bit Electrically Erasable and Programmable CMOS ROM" Hitachi Semiconductor, 02_001.pdf (str. 16).

Pakiet **Z80CPU**:

- 1.4. "Z8400/Z84C00 NMOS/CMOS Z80CPU Central Processing Unit" Zilog, ps0178.pdf (str. 35).

Pakiet **68000**:

- 1.5. "M68000 8-/16-/32-Bit Microprocessors User's Manual" Motorola, MC68000UM.pdf (str. 184),
- 1.6. "Addendum To M68000 8-/16-/32-Bit Microprocessors Users Manual" Motorola, MC68000UMAD.pdf (str. 4).

Pakiet **8051**:

- 1.7. "80C51 family architecture" Philips Semiconductors, 80c51_fam_arch_1.pdf (str. 15),
- 1.8. "80C51 family hardware description" Philips Semiconductors, 80c51_fam_hardware_1.pdf (str. 24),
- 1.9. "80C51 family programmer's guide and instruction set" Philips Semiconductors, 80c51_fam_prog_guide_1.pdf (str. 55),
- 1.10. "80C31/80C32 8051 8-bit microcontroller family" Philips Semiconductors, 80C31_80C32_1.pdf (str. 32),

Pakiet **8237**:

- 1.11. "MSM82C37B-5RS/GS/VJS Programmable DMA Controller" OKI Semiconductor, msm82c37b_5rs.pdf (str. 34).

Pakiet **8250**:

- 1.12. "TL16C450 Asynchronous Communications Element" Texas Instruments Inc., SLLS037B.pdf (str. 25).

Pakiet **8254**:

- 1.13. "MSM82C54-2RS/GS/JS CMOS Programmable Interval Timer" OKI Semiconductor, msm82c54_2rs.pdf (str. 23).

Pakiet **8255**:

- 1.14. "MSM82C55A-2RS/GS/VJS CMOS Programmable

Literatura dodatkowa

- 2.1. "Application Notes" Hitachi Semiconductor, Applicat.pdf (str. 50).

- 2.2. "Z80 Family CPU User Manual" Zilog, z80cpu_um.pdf (str. 306).

- 2.3. "Programmer's Reference Manual (Includes CPU32 Instructions)" Motorola, M68000PRM.pdf (str. 646).

- 2.4. "MC68000/hc000/008/010 FAQ" Motorola, 68000faq.txt (str. 5).

- 2.5. "Applies only to the MC680x0 parts such as MC68000, MC68010, MC68020, MC68030, MC68040, etc." Motorola, fx0faqv2.txt (str. 9).

- 2.6. "AP-252 Designing With The 80C51BH" Intel, 27006802.pdf (str. 28),

- 2.7. "AN458 Dual data pointers for '51 family" Philips Semiconductors, 80c51_dual_DPTR.pdf (str. 8).

- 2.8. "82C50A CMOS Asynchronous Communications Element" Harris Semiconductor, FN2958.pdf (str. 21),

- 2.9. "A Comparison of the INS8250, NS16450 and NS16550AF Series of UARTs" National Semiconductor, nsc07300.pdf (str. 8).

- 2.10. "82C54 CMOS Programmable Interval Timer" Harris Semiconductor, FN2970.pdf (str. 17),

- 2.11. "Voltage to frequency converters offer useful options in A/D Conversion, Specialized Counting Techniques Achieve Improved Speed and Resolution" Burr-Brown, AB-066.pdf (str. 4).

- 2.12. "8255A/82C55A Device Description" Intel,

Peripheral Interface" OKI Semiconductor, msm82c55a_2rs.pdf (str. 26).

7190.htm (str. 1).

Pakiet **8259**:

1.15. "MSM82C59A-2RS/GS/JS Programmable Interrupt Controller" OKI Semiconductor, msm82c59a_2rs.pdf (str. 28).

2.13. "82C59A CMOS Priority Interrupt Controller" Harris Semiconductor, FN2784.pdf (str. 20),

2.14. "AN109.2 82C59A Priority Interrupt Controller" Harris Semiconductor, AN109.PDF (str. 14).

Pakiet **8530**:

1.16. "Z8530 SCC Serial Communications Controller" Zilog, z8530.pdf (str. 21).

2.15. "SCC/ESCC User's Manual" Zilog, scc_um.pdf (str. 317),

2.16. "Am8530H/Am85C30 Serial Communications Controller, 1992 Technical Manual" Advanced Micro Devices, numer producenta: BAN-3.8M-12/95-1, U.S.A. (książka),

2.17. "Interface Controller for 68000 P to Zilog 8500 Peripherals" strony: 6-273 do 6-278, rozdział w "PAL Programmable Array Logic, Third Edition" Monolithic Memories, 1983, U.S.A. (książka).

Pakiet **Z80PIO**:

1.17. "Z8420/Z84C20 NMOS/CMOS Z80 PIO Parallel Input/Output Controller" Zilog, ps0180.pdf (str. 16).

2.18. "Z80 Family CPU Peripherals User Manual" Zilog, ps0180.pdf (str. 330).

Pakiet **Z80DMA**:

1.18. "Z8410/Z84C10 NMOS/CMOS Z80 DMA Direct Memory Access Controller" Zilog, ps0179.pdf (str. 25).

patrz poz. 2.18. ps0180.pdf.

Pakiet **Z80CTC**:

1.19. "Z8430/Z84C30 NMOS/CMOS Z80 CTC Counter/Timer Circuit" Zilog, ps0181.pdf (str. 16).

patrz poz. 2.18. ps0180.pdf.

Pakiet **Z80DART**:

1.20. "Z8470 Z80 DART Dual Asynchronous Receiver/Transmitter" Zilog, z80dart.pdf (str. 12).

Pakiet **BM01**:

1.21. "Monitor szyny BM01 systemu DSM, wersja 2.0. Instrukcja obsługi" Artur Chojnacki, Zbigniew Kalisiak, Instytut Informatyki PW, bm01_io.pdf (str. 66).

2.19. "Monitor szyny BM01 systemu DSM, wersja 2.0. Dokumentacja techniczna" Artur Chojnacki, Zbigniew Kalisiak, Instytut Informatyki PW, bm01_dt.pdf (str. 114).

2.20. "Monitor szyny BM01 systemu DSM, wersja 2.0. Dokumentacja kompilatora konfiguracji "buscomp"." Artur Chojnacki, Zbigniew Kalisiak, Instytut Informatyki PW, bm01_bc.pdf (str. 66).

2.21. "Monitor szyny BM01 systemu DSM, wersja 2.0. Dokumentacja programu sterującego monitorem szyny "monitor"." Artur Chojnacki, Zbigniew Kalisiak, Instytut Informatyki PW.

2.22. "CD74HC652, CD74HCT652 High Speed CMOS Logic Octal Bus Transceiver/Registers, Three-State" Harris Semiconductor, 74HCT652.pdf (str. 9).

2.23. "SN54ALS652, SN54ALS653, SN54AS651, SN54AS652, SN74ALS651A, SN74ALS652A, SN74ALS653, SN74ALS654, SN74AS651, SN74AS652 Octal bus Transceivers and Registers with 3-state outputs" Texas Instruments, sn74als654.pdf (str. 30).