

## Pakiet 8051

### Funkcja pakietu w systemie

Pakiet procesora 8051 jest modułem czynnym. Zawiera on mikrokomputer jednoukładowy rodziny MCS-51 w obudowie DIL40 (np. 8031, 80C31, 8051, 87C51) oraz niezbędne układy logiki i buforów szyny systemu. Pakiet posiada 16-bitową szynę adresową i 8-bitową szynę danych i może współpracować z modułami biernymi o 8-bitowej szynie danych.

Pakiet inicjuje cykle transmisji na szynie systemu. Struktura sygnałów sterujących procesora i8051 określa logiczny standard szyny systemu.

Procesory rodziny 8051 nie umożliwiają wydłużenia cyklu szyny, korzystanie z pracy krokowej w procesie uruchamiania systemu z pakietem 8051 jest więc niemożliwe.

### Struktura pakietu

W pakiecie 8051 można wyróżnić następujące bloki:

- procesor z układami logiki,
- układ inicjacji działania procesora,
- buforów szyny procesora,
- buforów łącza RS232C.

**Blok procesora** zawiera:

- mikroprocesor rodziny MCS-51 (U8),
- układ generacji sygnału synchronizacji procesora i systemu,
- bramkę NAND (U5A) i inwerter (U6C), generujące sygnał -DDIN sterujący kierunkiem przepływu danych przez buforów szyny.

**Blok inicjacji procesora** zawiera generator sygnału RESET procesora przy włączeniu zasilania lub uaktywnieniu linii -RESET szyny.

**Blok buforów szyny** zawiera układ typu 74245 (U1) buforujący szynę danych oraz zatrząsk typu 74573 (U3) i dwa układy typu 74541 (U2, U4), służące do buforowania linii adresowych i linii sterowania transmisją.

**Bufory łącza RS232C** stanowią układy MC145406P (U11) oraz MC1489 (U10). Są one połączone na stałe z końcówkami złącza zewnętrznego umieszczonego na listwie maskującej pakietu. Po stronie poziomów logicznych TTL wszystkie sygnały buforów są wyprowadzone na łączówkę.

### Ustalone połączenia z szyną systemu

**Szyna adresowa A0÷A15** jest wyprowadzona z portów P0 i P2 procesora. Sygnały adresu A0÷A7 są uzyskiwane przez zatrząskiwanie stanu linii portu P0 opadającym zboczem na linii ALE. Szyna jest buforowana przy użyciu układów typu 74541 i 74573 i jest połączona z liniami A0÷A15 szyny systemu.

**Szyna danych D0÷D7** procesora (port P0) jest połączona z liniami D0÷D7 szyny systemu za

pośrednictwem układu 74245.

**Sygnały sterujące -PSEN, ALE, -RD, -WR** są dołączone odpowiednio do linii T0÷T3 za pośrednictwem układu 74541.

**Sygnał synchronizujący** jest doprowadzony do linii CLK szyny.

**Linie P3.2÷P3.5** (-INT0, -INT1, T0, T1) procesora są dołączone odpowiednio do linii OC4÷OC7 szyny systemu.

**Linia -BDIS** sterująca aktywnością buforów jest połączona z linią OC2 szyny systemu.

**Linia -RESET** szyny stanowi wejście układu generacji sygnału RESET procesora.

### Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

**Łączówka JP-X** pozwala na właściwe dołączanie przebiegu synchronizującego do procesora. Procesory rodziny 8051 wykonane w technologii NMOS i CMOS wymagają odmiennego doprowadzenia zewnętrznego sygnału zegara. W przypadku użycia procesora NMOS należy zewrzeć wyprowadzenia 1 i 2 oraz 3 i 4. Dla procesorów CMOS należy zewrzeć wyprowadzenie 2 z 3 a wyprowadzenia 1 i 4 pozostawić nie połączone.

Nr	Nazwa	Typ	Układ	Funkcja
1	X2	I	8051	wejście oscylatora NMOS
2	CLK	O	HCT04	wyjście przebiegu synchronizującego
3	X1	I	8051	wejście oscylatora CMOS
4	GND	PWR	-	linia masy

**Łączówka JP-E/V** służy do wyboru konfiguracji pamięci programu procesora. W przypadku wykorzystywania wewnętrznej pamięci ROM/EPROM procesora należy zewrzeć wyprowadzenia 1 i 2, w przeciwnym razie - wyprowadzenia 2 i 3.

Nr	Nazwa	Typ	Układ	Funkcja
1	VCC	PWR	-	linia zasilania +5V
2	E/V	I	8051	wejście wyboru pamięci ROM
3	GND	PWR	-	linia masy

**Łączówka JP-P1** udostępnia sygnały portu P1 procesora 8051.

Nr	Nazwa	Typ	Układ	Funkcja
1	P1.0	I/O	8051	wejście-wyjście
2	P1.1	I/O	8051	wejście-wyjście
3	P1.2	I/O	8051	wejście-wyjście
4	P1.3	I/O	8051	wejście-wyjście
5	P1.4	I/O	8051	wejście-wyjście
6	P1.5	I/O	8051	wejście-wyjście
7	P1.6	I/O	8051	wejście-wyjście
8	P1.7	I/O	8051	wejście-wyjście

**Łączówka JP-P3** udostępnia sygnały portu P3 procesora 8051.

Nr	Nazwa	Typ	Układ	Funkcja
1	P3.0	I/O	8051	wejście-wyjście (RxD)
2	P3.1	I/O	8051	wejście-wyjście (TxD)
3	P3.2	I/O	8051	wejście-wyjście (INT0)
4	P3.3	I/O	8051	wejście-wyjście (INT1)
5	P3.4	I/O	8051	wejście-wyjście (T0)
6	P3.5	I/O	8051	wejście-wyjście (T1)
7	P3.6	I/O	8051	wejście-wyjście (-WR)
8	P3.7	I/O	8051	wejście-wyjście (-RD)

**Łączówka JP-IT** umożliwia doprowadzenie wybranych sygnałów na wejścia bufora U6 typu 74541.

Nr	Nazwa	Typ	Układ	Funkcja
1	IT7	I	HCT541	wejście bufora
2	IT6	I	HCT541	wejście bufora
3	IT5	I	HCT541	wejście bufora

**Łączówka JP-T** pozwala na wyprowadzenie do linii T5÷T7 szyny systemu lub inne wykorzystanie wybranych sygnałów buforowanych przez układ typu 74541 (co pozwala na wprowadzenie odpowiednich linii szyny w stan wysokiej impedancji).

Nr	Nazwa	Typ	Układ	Funkcja
1	BT7	O/Z	HCT541	wyjście bufora
2	BT6	O/Z	HCT541	wyjście bufora
3	BT5	O/Z	HCT541	wyjście bufora

**Łączówka JP-RS** grupuje linie łącza RS232C po stronie poziomów logicznych TTL.

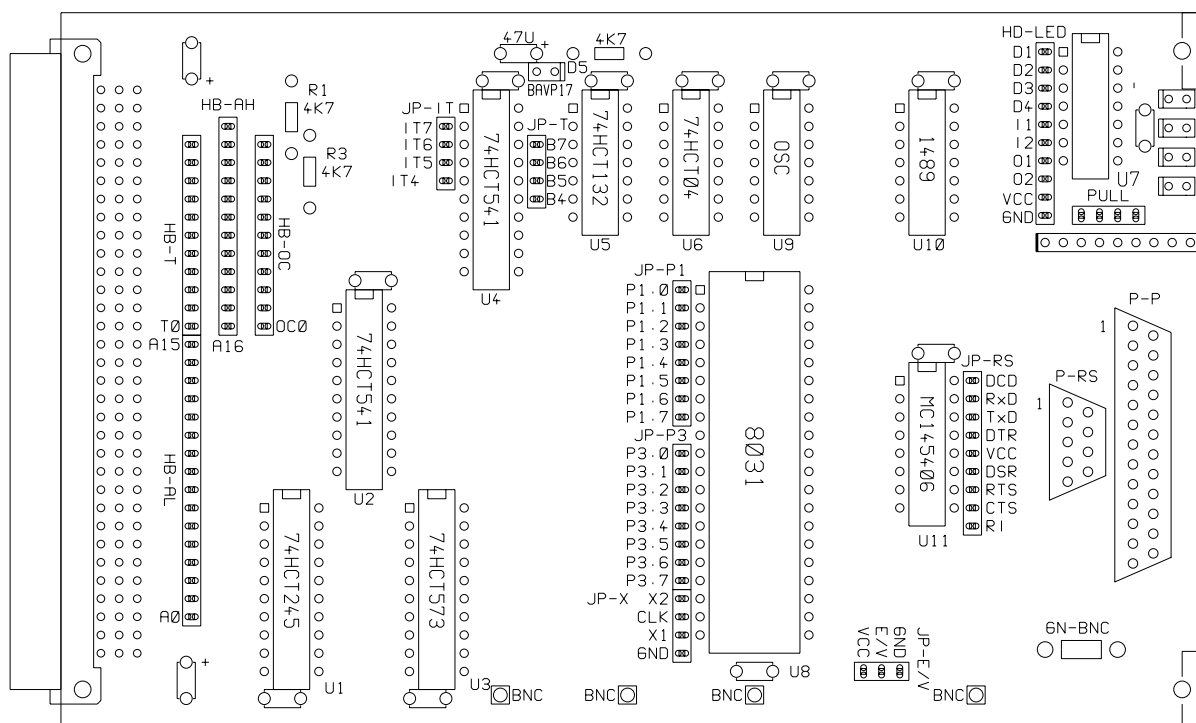
Nr	Nazwa	Typ	Układ	Funkcja
1	DCD	O	1489	testowalne wejście
2	RxD	O	145406	wejście danych szeregowych
3	TxD	I	145406	wyjście danych szeregowych
4	DTR	I	145406	programowalne wyjście binarne
5	VCC	PWR	-	linia zasilania +5V
6	DSR	O	145406	testowalne wejście
7	RTS	I	145406	żądanie rozpoczęcia nadawania
8	CTS	O	145406	odblokowanie nadajnika
9	RI	O	1489	sygnalizacja początku transmisji

### Złącza zewnętrzne

Pakiet posiada dwa złącza zewnętrzne. Gniazdo szufladowe ELTRA-25 (typ 88102503) o nazwie P-P udostępnia do wykorzystania poza pakietem sygnały z portów procesora P1, P2 i P3. Wtyk szufladowy ELTRA-9 (typ 87100901) o nazwie P-RS wyprowadza podzbiór sygnałów złącza RS232C. Z uwagi na rodzaj i sposób okablowania złącza P-RS pakiet pracuje jako urządzenie typu DTE. Rozmieszczenie linii sygnałowych jest przedstawione w tabelach.

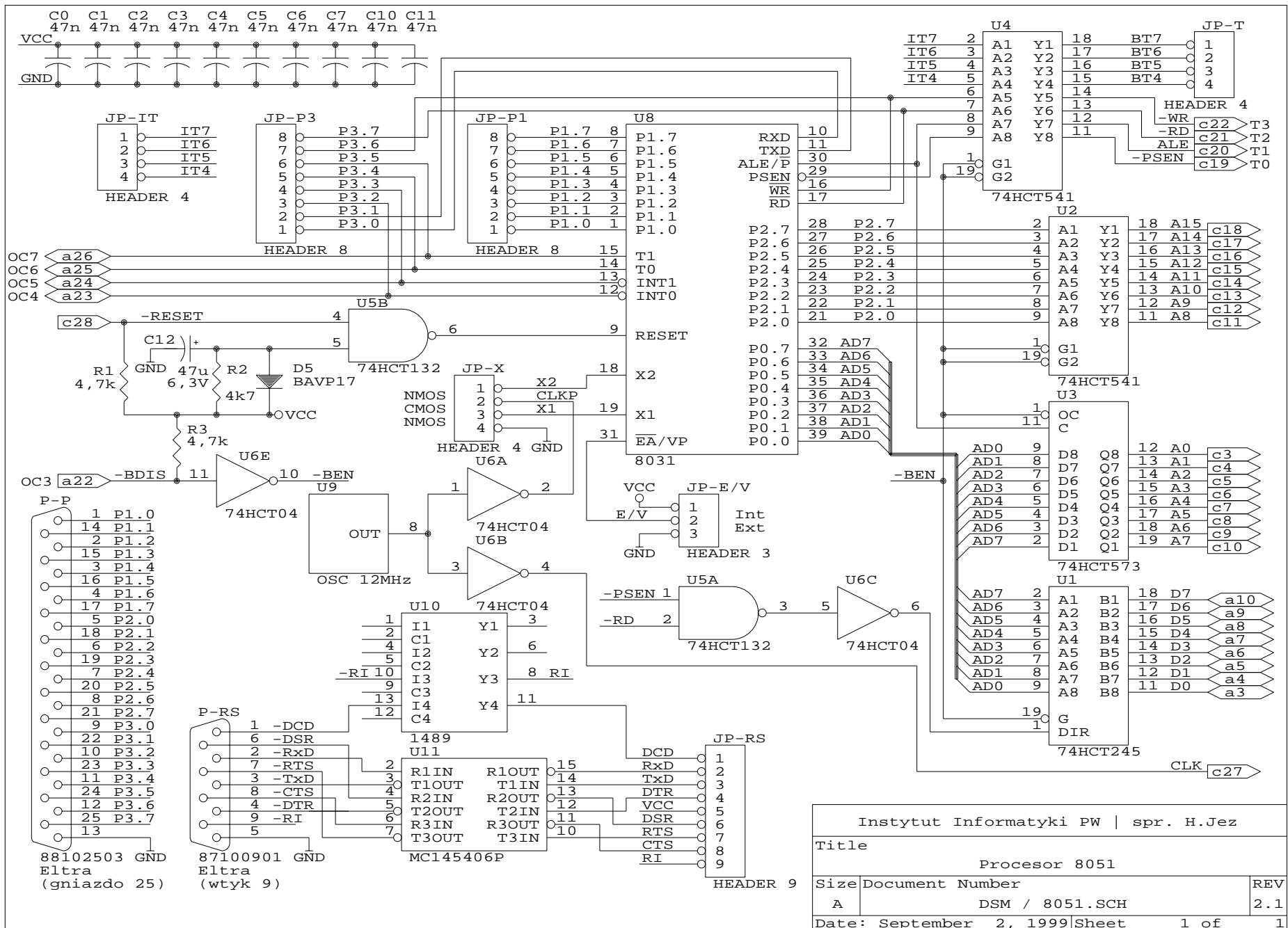
Nazwa	Nr	Nr	Nazwa
P1.0	1	14	P1.1
P1.2	2	15	P1.3
P1.4	3	16	P1.5
P1.6	4	17	P1.7
P2.0	5	18	P2.1
P2.2	6	19	P2.3
P2.4	7	20	P2.5
P2.6	8	21	P2.7
P3.0	9	22	P3.1
P3.2	10	23	P3.3
P3.4	11	24	P3.5
P3.6	12	25	P3.7
GND	13	<b>złącze P-P</b>	

Nazwa	Nr	Nr	Nazwa
-DCD	1	6	-DSR
-RXD	2	7	-RTS
-TXD	3	8	-CTS
-DTR	4	9	-RI
GND	5	<b>złącze P-RS</b>	



Rys. 9-1. Rozłożenie elementów na module DSM 8051.

Rys. 9-2. Schemat ideowy modulu DSM 8051.



Instytut Informatyki PW   spr. H.Jez		
Title		
Procesor 8051		
Size	Document Number	REV
A	DSM / 8051.SCH	2.1
Date: September 2, 1999	Sheet	1 of 1