

## Pakiet BM01

### Funkcja pakietu w systemie

Pakiet BM01 jest modułem monitora szyny DSM, nadzorującym pracę pozostałych pakietów, podłączonych do szyny. Zawiera on mikrokontroler 8031 z zewnętrzną pamięcią programu i danych, wraz z pomocniczymi rejestrami, buforami i dekoderni, którego praca nadzorowana jest przez użytkownika za pośrednictwem programu Monitor.exe, uruchamianego na komputerze IBM PC AT, połączonego z pakietem BM01 za pośrednictwem łącza szeregowego pracującego w standardzie RS-232C.

Jako moduł bierny, pakiet BM01 bada cykle transmisji realizowane przez moduły czynne (procesor, sterownik DMA, inny monitor szyny). Jako moduł czynny wystawia sygnały na szynę DSM za pośrednictwem buforów trójstanowych lub z otwartym kolektorem. Użytkownik musi zapewnić właściwe sterowanie pakietu za pośrednictwem programu Monitor.exe (brak arbitrażu sprzętowego w dostępie do szyny DSM dla wielu pakietów BM01 pracujących równocześnie w tej samej kasecie). Konfigurację pracy programu Monitor.exe dla danego typu procesora, działającego na szynie DSM, przeprowadza się przy pomocy programu Buscomp.exe. Uniwersalność definicji szyny systemu DSM umożliwia tworzenie nowych konfiguracji dla procesorów o maksymalnej szerokości szyny danych 32 bity, a szyny adresowej 24 bity.

### Struktura pakietu

Pakiet BM01 zawiera dwa pakiety: P1 i P2, połączone ze sobą przy pomocy złączy JP1, JP2, JP3.

#### Pakiet P1

W skład pakietu P1 wchodzi następujące bloki:

- mikrokontroler 8031,
- dekodery adresów z układem kontroli priorytetu szeregowego PCI, PCO szyny DSM,
- pamięć zewnętrzna programu EPROM 2764,
- pamięć zewnętrzna danych i programu SRAM 6264,
- bufor szyny danych mikrokontrolera 8031,
- bufor szyny adresowej mikrokontrolera 8031,
- bufor szyny DSM (B1÷3)
- bufor łącza szeregowego.

**Mikrokontroler 8031** (U1) jest taktowany zegarem wytwarzanym przy pomocy kwarcu X1 o częstotliwości 7,3728MHz. Kondensator C3 wytwarza sygnał Reset dla mikrokontrolera po włączeniu zasilania. Dioda D1 przyspiesza rozładowanie kondensatora C3 po wyłączeniu zasilania. Rezystor R1 ogranicza prąd rozładowania kondensatora C3 przy użyciu zewnętrznego przycisku RESET.

**Dekoder adresów** mikrokontrolera 8031 zawarty jest w układzie PAL20L8 (U2). Łączy on przestrzeń zewnętrznej pamięci programu i danych w jeden obszar 64kB. Na podstawie sygnałów mikrokontrolera 8031:

- PSEN, -WR, -RD, A13÷15 wytwarza on sygnały:
  - -WRO zapis rejestrów wejściowo-wyjściowych,
  - -RDO odczyt rejestrów wejściowo-wyjściowych,
  - -OE odczyt EPROM i SRAM,
  - -MON wybranie rejestrów wejściowo-wyjściowych,
  - -RAM wybranie pamięci SRAM,
  - -ROM wybranie pamięci EPROM.

**Układ kontroli priorytetu szeregowego PCI, PCO szyny DSM** zawarty również w układzie PAL20L8 (U2) realizuje:

- przenoszenie stanu linii PCI na linię PCO,
- ustawianie dowolnego stanu logicznego na linii PCO,
- ustawianie pułapki (tj. warunku zatrzymania pracy procesora) na linii PCI,
- zmianę aktywnego zbocza, powodującego spełnienie warunku zatrzymania procesora, na linii PCI,
- maskowanie pułapki (blokady warunku zatrzymania procesora) na linii PCI.

Używa on sygnałów wejściowych wyprowadzonych z portu P1 mikrokontrolera 8031:

- CIN buforowane wejście PCI (z szyny DSM),
- COE odblokowanie wyjścia COUT (PCO),
- CDS wybór wejścia sterującego wyjściem COUT gdy CDS=1 to COUT=CIN, gdy CDS=0 to COUT=CD,
- CIE odblokowanie wyjścia -INTC
- CD dana dla wyjścia COUT, CIP wybór poziomu logicznego z wejścia PCI ustawiającego poziom aktywny wyjścia -INTC, gdy CIP=1 i PCI=1 to -INTC=0, gdy CIP=0 i PCI=0 to -INTC=0,

Wytwarza on sygnały wyjściowe:

- COUT wyjście PCO (na szynę DSM),
- -INTC przerwanie z wejścia PCI, zgłaszane do wejścia INTO mikrokontrolera 8031.

Sygnał PCI powinien trwać minimum 3 do 9 cykli maszynowych mikrokontrolera 8031 (1 cykl maszynowy = 12 cykli zegara mikrokontrolera 8031), jeśli nie jest obsługiwane w tym czasie inne przerwanie. W przypadku, gdy inne przerwanie jest obsługiwane, to powinien trwać do jego zakończenia. **Program mikrokontrolera 8031 analizuje pułapki, wstrzymując pracę procesora działającego na szynie DSM** (np. cykle Wait dla Z80 CPU), korzystając z układów pracy krokowej umieszczonych na pakiecie procesora. Wystawia wtedy sygnał -SMODE=0, oraz, przy każdym kroku, sekwencję 0,1 na linii -STEP.

*Uwaga! Pakiet 8051 nie ma układów pracy krokowej.* Pakiet BM01 powinien być umieszczony w kasecie DSM w ten sposób, aby miał po swojej prawej stronie (patrząc od strony płyt czołowych pakietów) pakiet, wystawiający sygnał PCO, który ma być rozpoznany przez BM01 na wejściu PCI.

Przykład.

BM01 ma badać sygnał IEO wystawiany przez Z80DMA do wejścia IEI w Z80PIO. W 3 dowolnie wybranych ale sąsiadujących gniazdach szyny DSM należy umieścić kolejno od prawej strony pakiet Z80DMA, BM01, Z80PIO.

Struktura logiczna układu U2 przedstawiona jest na 6 arkuszu schematu ideowego tego pakietu. Mapa zewnętrznej przestrzeni adresowej mikrokontrolera jest przedstawiona poniżej w tabeli.

A15÷13	A12÷5	A4÷0	-PSEN	-RD	-WR	Linia	Opis
000	x...x	xxxxx	0	1	1	-ROM	Odczyt pamięci EPROM (program)
010	x...x	xxxxx	0	1	1	-RAM	Odczyt pamięci SRAM (program)
010	x...x	xxxxx	1	0	1	-RAM	Odczyt pamięci SRAM (dane)
010	x...x	xxxxx	1	1	0	-RAM	Zapis do pamięci SRAM (dane)
111	x...x	00000 00001 ..... 01000 01001	1	0	1	-MON	Odczyt 8 linii szyny DSM dołączonych do rejestru wejściowego B(nr+1) o numerze określonym bitami A3÷A0
111	x...x	10000 10001 ..... 11000 11001	1	0	1	-MON	Odczyt zawartości rejestru wejściowego B(nr+1) o numerze określonym bitami A3÷A0
111	x...x	x0000 x0001 ..... x1000 x1001	1	1	0	-MON	Zapis do rejestru wyjściowego B(nr+1) o numerze określonym bitami A3÷A0
111	x...x	x1100	1	1	0	-MON	Zapis do rejestru sterującego diodami LED (RLED)
111	x...x	x1101	1	1	0	-MON	Zapis do rejestru konfiguracji rejestrów B1÷5 (RCFGL)
111	x...x	x1110	1	1	0	-MON	Zapis do rejestru konfiguracji rejestrów B6÷10 (RCFGH)
111	x...x	x1111	1	1	0	-MON	Zatrzaśnięcie aktualnego stanu szyny DSM w rejestrach wejściowych B1÷10
Pozostałe kombinacje adresów oraz strobów zapisu i odczytu są zabronione.							

**Pamięć zewnętrzna programu EPROM 2764 (U6)** o organizacji 8k x 8 bitów przechowuje program pracy mikrokontrolera 8031, który realizuje obsługę połączenia z IBM PC AT i steruje buforami szyny DSM w trybie biernym. Zawartość tej pamięci jest zachowana po wyłączeniu zasilania.

**Pamięć zewnętrzna danych i programu SRAM 6264** o organizacji 8k x 8 bitów przechowuje dane mikrokontrolera 8031. Część danych, odebranych z IBM PC AT, służy jako procedury sterujące buforami szyny DSM w trybie aktywnym, wykonywane przez mikrokontroler 8031 (zewnętrzna pamięć programu). Zawartość tej pamięci jest tracona po wyłączeniu zasilania.

#### Bufory mikrokontrolera 8031.

Dane o układach buforujących mikrokontrolera 8031 zostały przedstawione w tabeli.

Nazwa linii	Typ	Układ	Nr układu
D0÷7	I/O/Z	74HCT245	U4
A0÷7	O/Z	74HCT573	U3

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

#### Bufory szyny DSM.

Dane o układach buforujących szyny DSM zostały

przedstawione w tabeli.

Nazwa linii	Typ	Układ	Nr układu
A0÷7	I/O/Z	74HCT652	B1
A8÷15	I/O/Z	74HCT652	B2
T0÷7	I/O/Z	74HCT652	B3

#### Bufor łącza szeregowego.

Sposób buforowania łącza jest przedstawiony w tabeli.

Nazwa linii	Typ	Układ	Nr układu
TXD, RTS, DTR	O	MC145406	U7
RXD, CTS, DSR	I	MC145406	U7

#### Pakiet P2

W skład pakietu P2 wchodzi następujące bloki:

- bufory szyny DSM,
- rejestry konfiguracji RCFGL, RCFGH,
- rejestr sterowania diodami LED RLED,
- dzielnik częstotliwości sygnału CLK szyny DSM,
- dekodery strobów.

#### Bufory szyny DSM.

Dane o układach buforujących szyny DSM zostały zestawione w tabeli.

Nazwa linii	Typ	Układ	Nr układu
D16÷23	I/O/Z	74HCT652	B4
D24÷31	I/O/Z	74HCT652	B5
A16÷23	I/O/Z	74HCT652	B6
D0÷7	I/O/Z	74HCT652	B7
D8÷15	I/O/Z	74HCT652	B8
OC0÷7	I/OC	74ALS654	B9
-RESET, U0÷3, -SMODE, -STEP	I/OC	74ALS654	B10

**Rejestry konfiguracji RCFGL, RCFGH** wytwarzają sygnały -OE0÷4, -OE5÷9 odblokowujące wyjścia buforów odpowiednio B1÷5 oraz B6÷10 na szynę DSM. Dane o rejestrach konfiguracji zostały zestawione w tabeli.

Nazwa linii	Typ	Układ	Nr układu
-OE0÷4	O	74HCT174	U5
-OE5÷9	O	74HCT174	U6

**Rejestr sterowania diodami LED RLED** (układ U7) zaświeca (stanem "0") lub gasi (stanem "1") diody LED umieszczone na płycie czołowej pakietu monitora w kolejności najmniejszy numer diody od dołu. Dane o sygnałach wyjściowych tego rejestru zostały przedstawione w tabeli.

Nazwa	Typ	Układ	Funkcja
-LED1	O	74HCT174	brak
-LED2	O	74HCT174	wskaźnik napięcia zasilania
-LED3	O	74HCT174	praca monitora w trybie Slow Run
-LED4	O	74HCT174	gotowość do odbioru bloku z IBM PC AT
-LED5	O	74HCT174	nadawanie bloku do IBM PC AT

**Dzielnik częstotliwości sygnału CLK szyny DSM** używa licznika binarnego 74HCT4040 (U8) do podziału przez 256 (dziesiętnie) częstotliwości wejściowej ( $f_{CLK}$  max =25MHz). Sygnał wyjściowy DCLK z wyjścia Q8 jest podawany na wejście T0 licznika 0 mikrokontrolera 8031, który zlicza impulsy w przedziale czasowym ustalonym w programie.

#### Dekodery strobów.

Dane o dekodernach strobów zostały przedstawione w tabeli.

Nazwa	Typ	Układ	Nr	Funkcja
RD0÷9	O	74HCT154 74HCT04 74HCT04	U1 U3 U4	odczyt linii szyny DSM z bufora B1÷10, gdy A4=0; odczyt rejestru wejściowego bufora B1÷10, gdy A4=1
-WR0÷9	O	74HCT154	U2	zapis rejestru wyjściowego bufora B1÷10
-LWR	O	74HCT154	U2	zapis rejestru sterującego diodami LED
-WRL	O	74HCT154	U2	zapis rejestru konfiguracji RCFGL
-WRH	O	74HCT154	U2	zapis rejestru konfiguracji RCFGH
-GET	O	74HCT154	U2	zapis rejestrów wejściowych buforów B1÷10 stanem szyny DSM

#### Ustalone połączenia z szyną systemu

Następujące połączenia są wykonane w postaci ścieżek obwodu drukowanego:

- wszystkie linie.

#### Możliwości konfiguracji

Pakiet P1.

**Łączówka JP4** służy do wyboru konfiguracji pamięci programu mikrokontrolera. W przypadku wykorzystywania wewnętrznej pamięci ROM/EPROM mikrokontrolera (np. 8751) należy zewrzeć wyprowadzenia 1 i 2, w przeciwnym razie (w tym dla 8031) - wyprowadzenia 2 i 3.

Nr	Nazwa	Typ	Układ	Funkcja
1	VCC	PWR	-	linia zasilania +5V
2	E/V	I	8031	wejście wyboru pamięci ROM
3	GND	PWR	-	linia masy

**Łączówka JP5** służy do dołączenia zewnętrznego przycisku, którego zwarcie zestyków resetuje mikrokontroler 8031.

Nr	Nazwa	Typ	Układ	Funkcja
1	VCC	PWR	-	linia zasilania +5V
2	RST	I	8031	wejście Reset

## Złącza wewnętrzne

Pakiet posiada trzy złącza wewnętrzne JP1, JP2, JP3 (jednorzędowe listwy z gniazdkami precyzyjnymi), łączące pakiety P1 i P2. Na pakiecie P1 są wtyki montowane po stronie lutowania, na pakiecie P2 są gniazdka montowane po stronie elementów (w dwóch warstwach). Rozmieszczenie linii jest przedstawione w tabelach obok.

## Złącza zewnętrzne

Na zewnątrz pakietu są dostępne: gniazdo BNC-50 oraz wtyk szufladowy ELTRA-9 (typ 87100901) oznaczony P1.

**Gniazdo BNC-50** służy do dołączenia kabla zasilającego sondy logicznej o poziomach TTL. Styk zewnętrzny gniazda (ekran) dołączony jest do masy (GND), styk wewnętrzny ("gorący") do VCC (+5V). Pobór prądu z gniazda nie powinien przekraczać natężenia 0,5A (brak zabezpieczenia przed zwarcieniem).

**Wtyk P1** wyprowadza podzbiór sygnałów złącza RS232C. Złącze jest dołączone bezpośrednio do podstawki U7. Z uwagi na rodzaj i sposób okablowania złącza pakiet pracuje jako urządzenie końcowe transmisji danych (typu DTE). Rozmieszczenie linii sygnałowych jest przedstawione w tabeli.

Nazwa	Nr	Nr	Nazwa
	1	6	-DSR
-RXD	2	7	-RTS
-TXD	3	8	-CTS
-DTR	4	9	
GND	5	<b>złącze P1</b>	

**Transmisja danych z IBM PC AT** jest zapewniona przez kabel typu "null modem", zawierający dwie pary skrętki. Jeden z przewodów skrętki przenosi sygnał danych, drugi jest dołączony do masy. Długość kabla wynosi 3m. Kabel zakończony jest po stronie pakietu BM01 gniazdem ELTRA-9 (typ 88100901), dołączanym do wtyku P1, po stronie IBM PC AT gniazdem ELTRA-25 (typ 88102503), dołączanym do portu COM1 (lub COM2). Połączenia w kablu przedstawione są w tabeli.

Nazwa w BM01	Nr w ELTRA-9	Nr w ELTRA-25	Nazwa w IBM PC
-RXD	2	2	-TXD
-TXD	3	3	-RXD
GND	5	7	GND

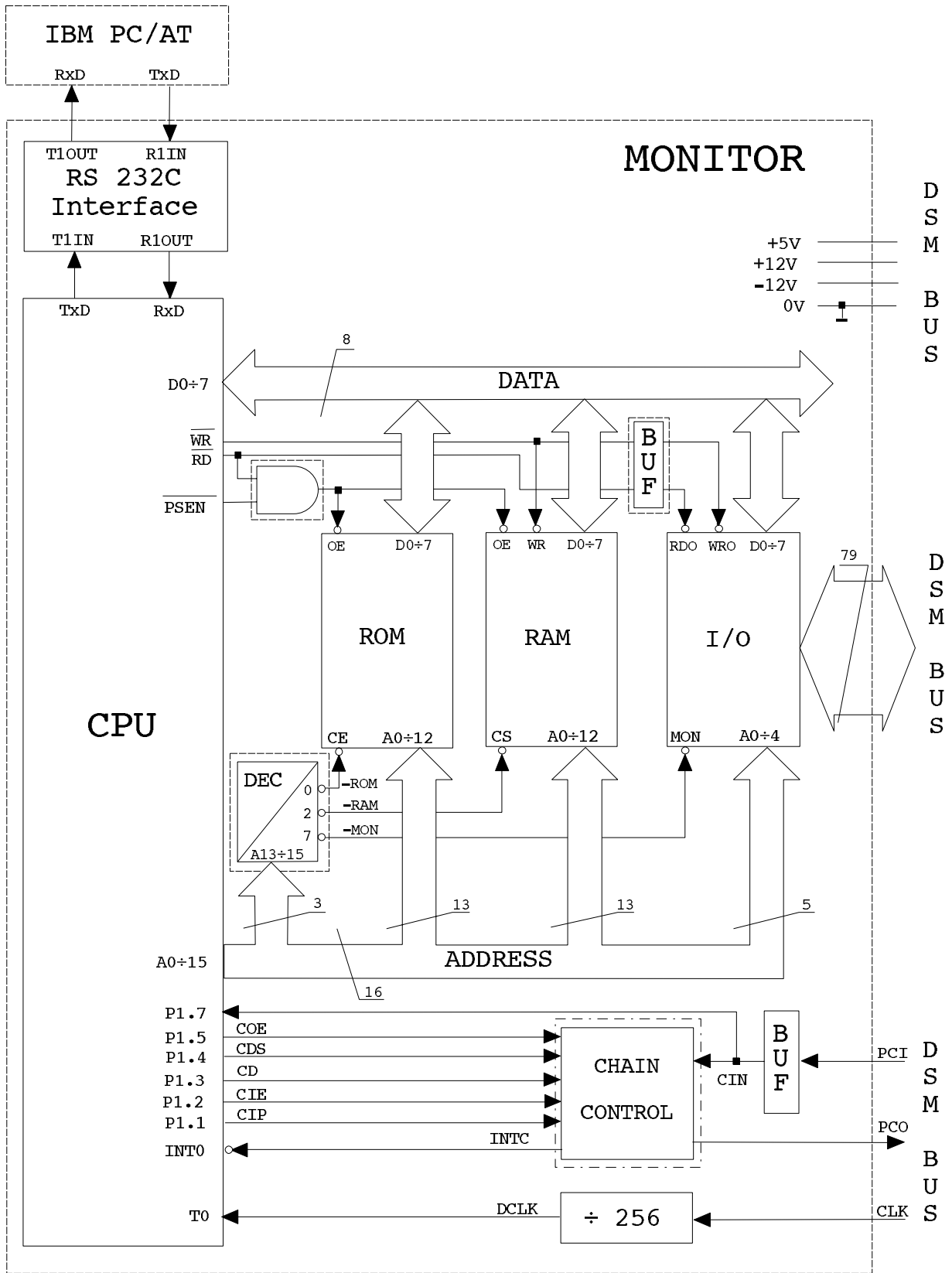
Parametry transmisji:

- transmisja asynchroniczna,
- prędkość transmisji = 19200 bodów,
- liczba bitów danych = 8,
- bit parzystości = even,
- liczba bitów stopu = 1.

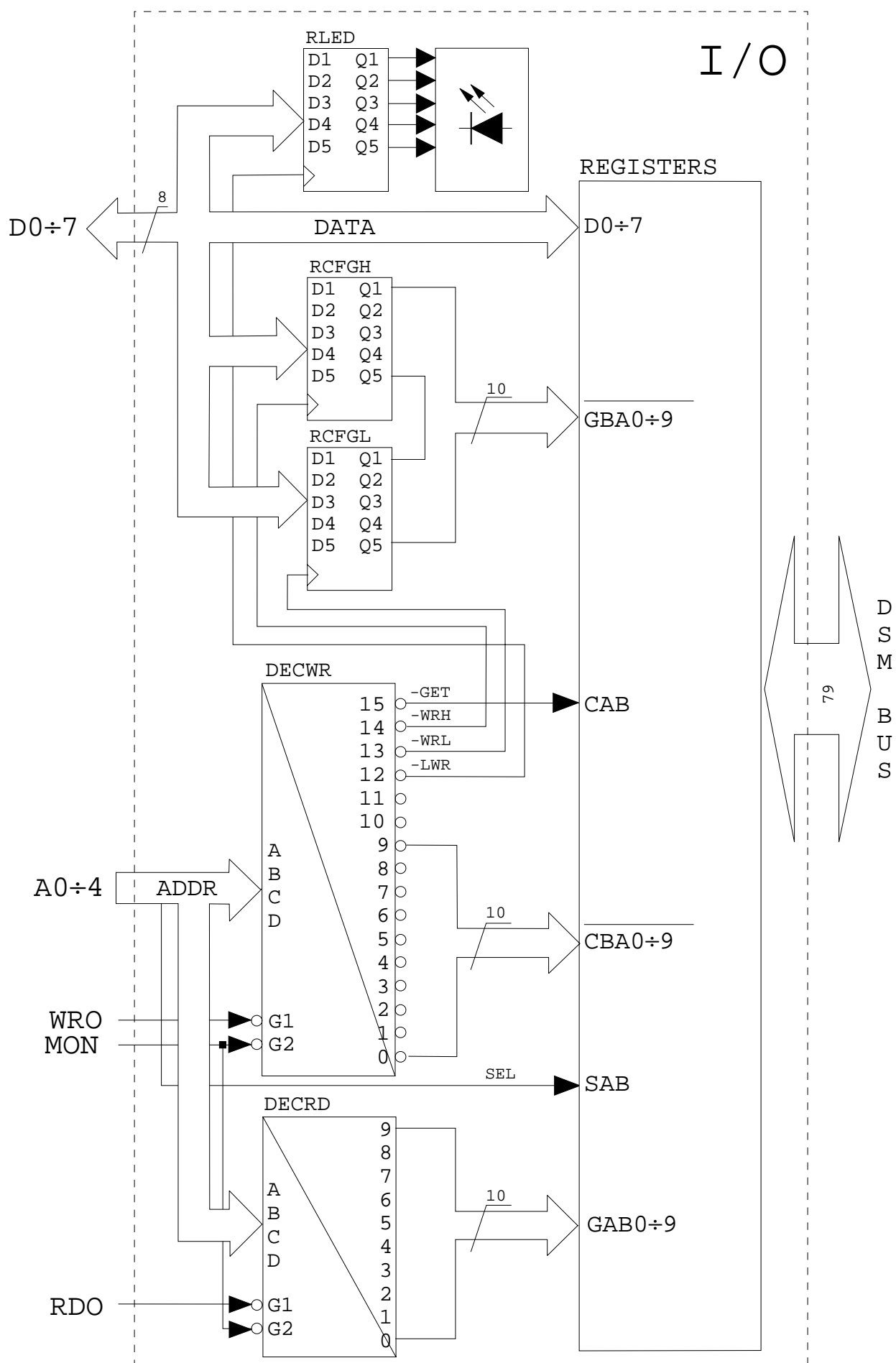
Nazwa	Nr
GND	1
VCC	2
oc3	3
oc4	4
oc5	5
oc6	6
oc7	7
oc8	8
oc9	9
oc10	10
oc11	11
oc12	12
oc13	13
oc14	14
oc15	15
oc16	16
oc17	17
oc18	18
oc19	19
oc20	20
oc21	21
oc22	22
oc23	23
oc24	24
oc25	25
oc26	26
	27
	28
CIN	29
COU	30
VCC	31
GND	32
<b>złącze JP1</b>	

Nazwa	Nr
D0	1
D1	2
D2	3
D3	4
D4	5
D5	6
D6	7
D7	8
A0	9
A1	10
A2	11
A3	12
A4	13
-RDO	14
-WRO	15
-MON	16
<b>złącze JP2</b>	

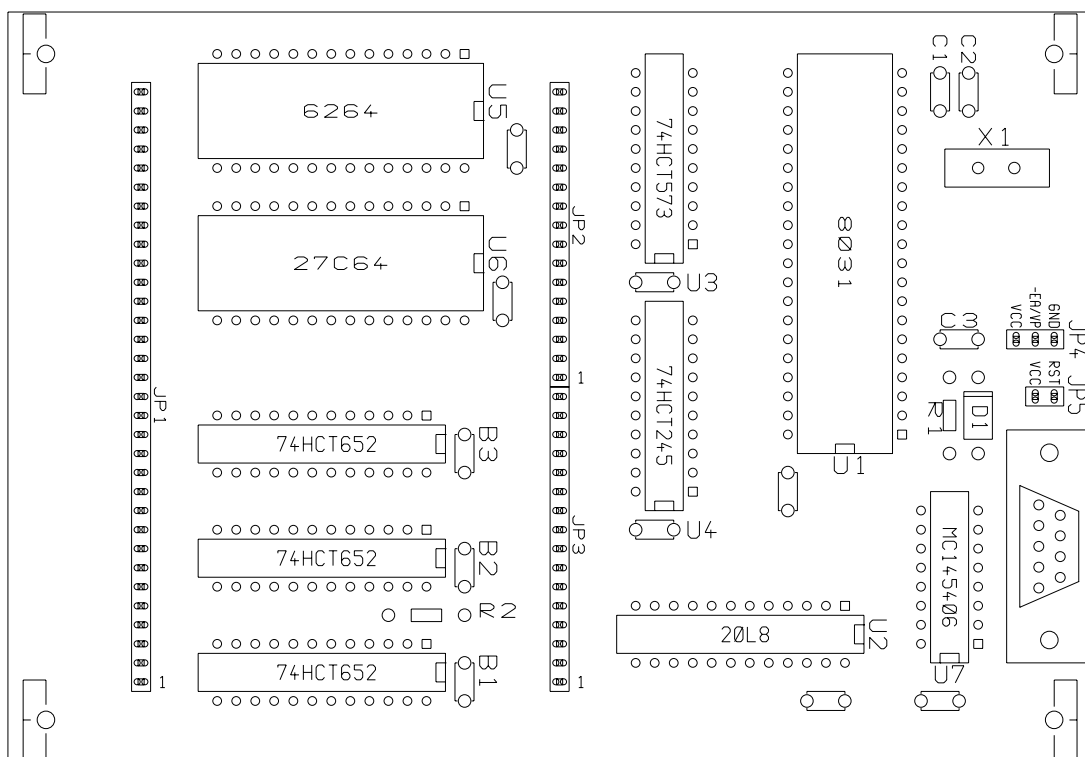
Nazwa	Nr
-WR0	1
-OE0	2
RD0	3
-WR1	4
-OE1	5
RD1	6
-WR2	7
-OE2	8
RD2	9
-GET	10
DCLK	11
GND	12
V-	13
V+	14
VCC	15
GND	16
<b>złącze JP3</b>	



Rys. 21-1. Schemat blokowy modułu DSM BM01.

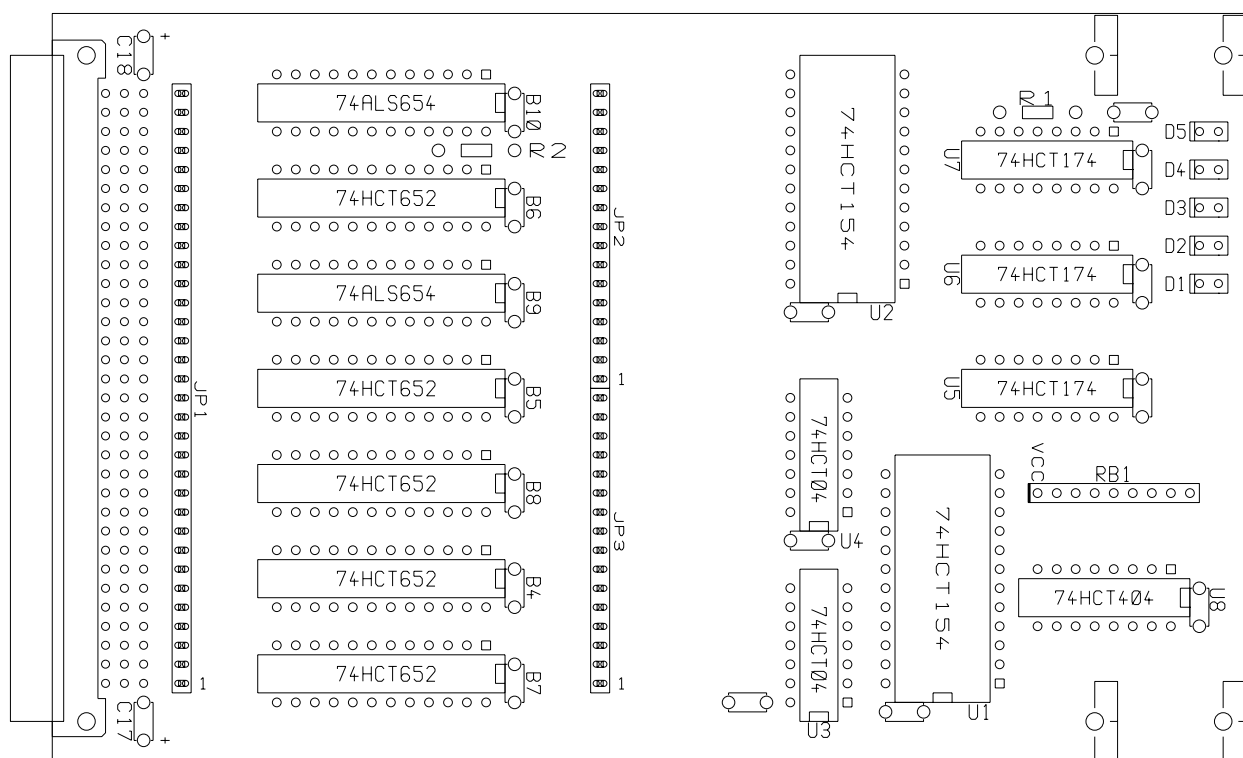


Rys. 21-2. Schemat blokowy buforów szyny DSM w module DSM BM01.



DSM Bus Monitor . Board P1 .

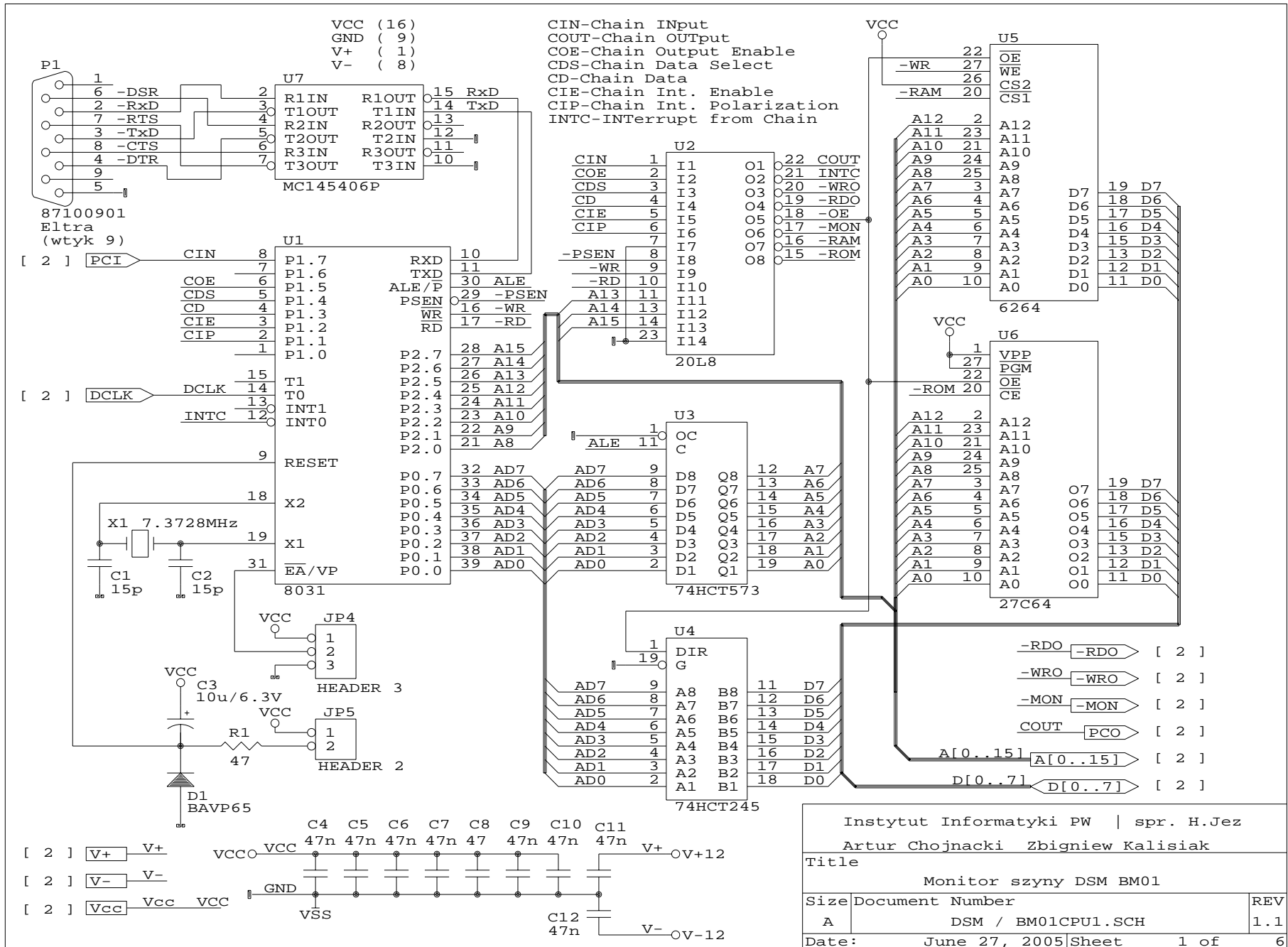
Rys. 21-3. Rozłożenie elementów na module DSM BM01 (płytką 1).



DSM Bus Monitor . Board P2 .

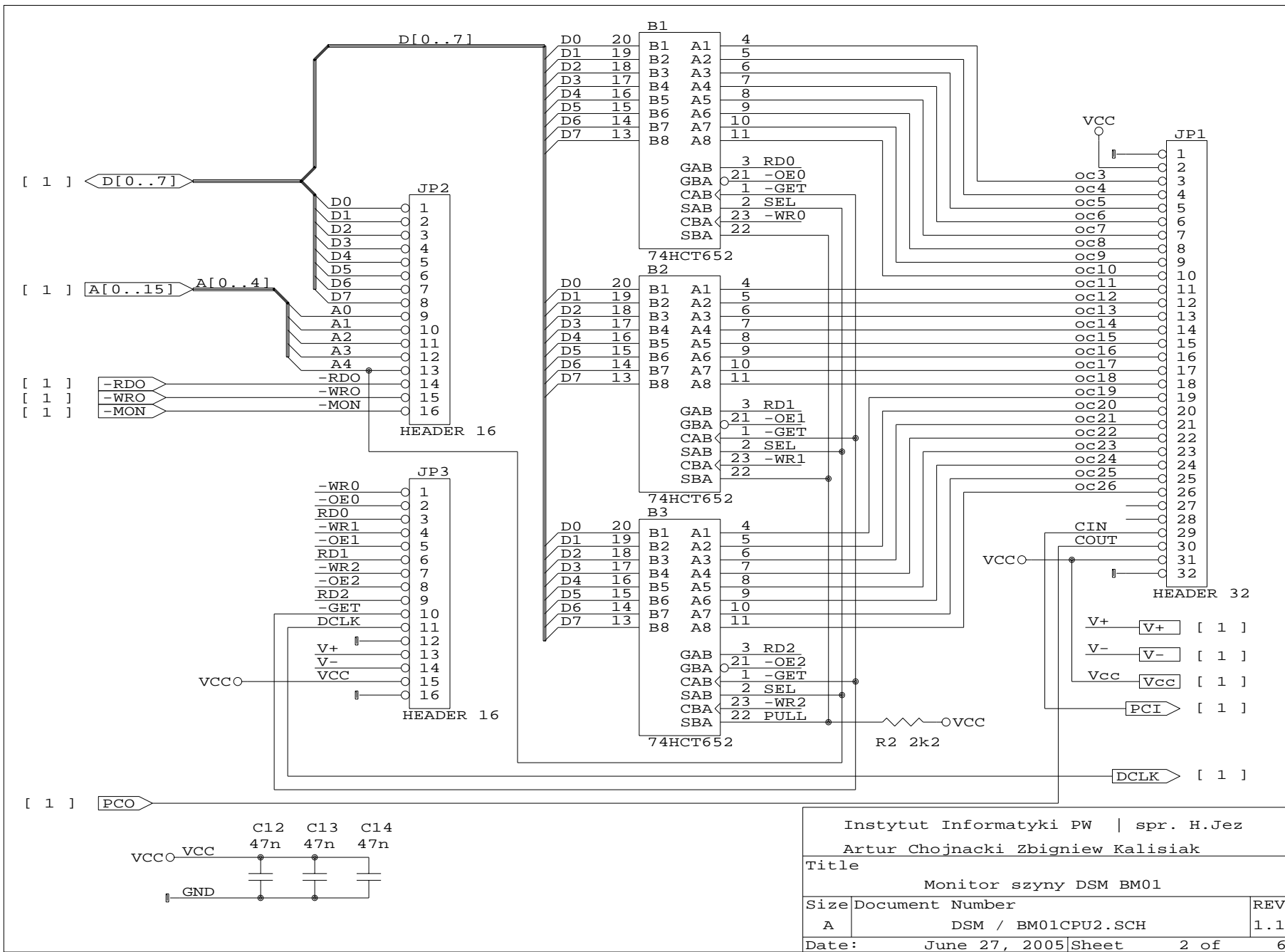
Rys. 21-4. Rozłożenie elementów na module DSM BM01 (płytką 2).

Rys. 21-5. Schemat ideowy modułu DSM BM01, płytka 1 (arkusz 1 z 6).



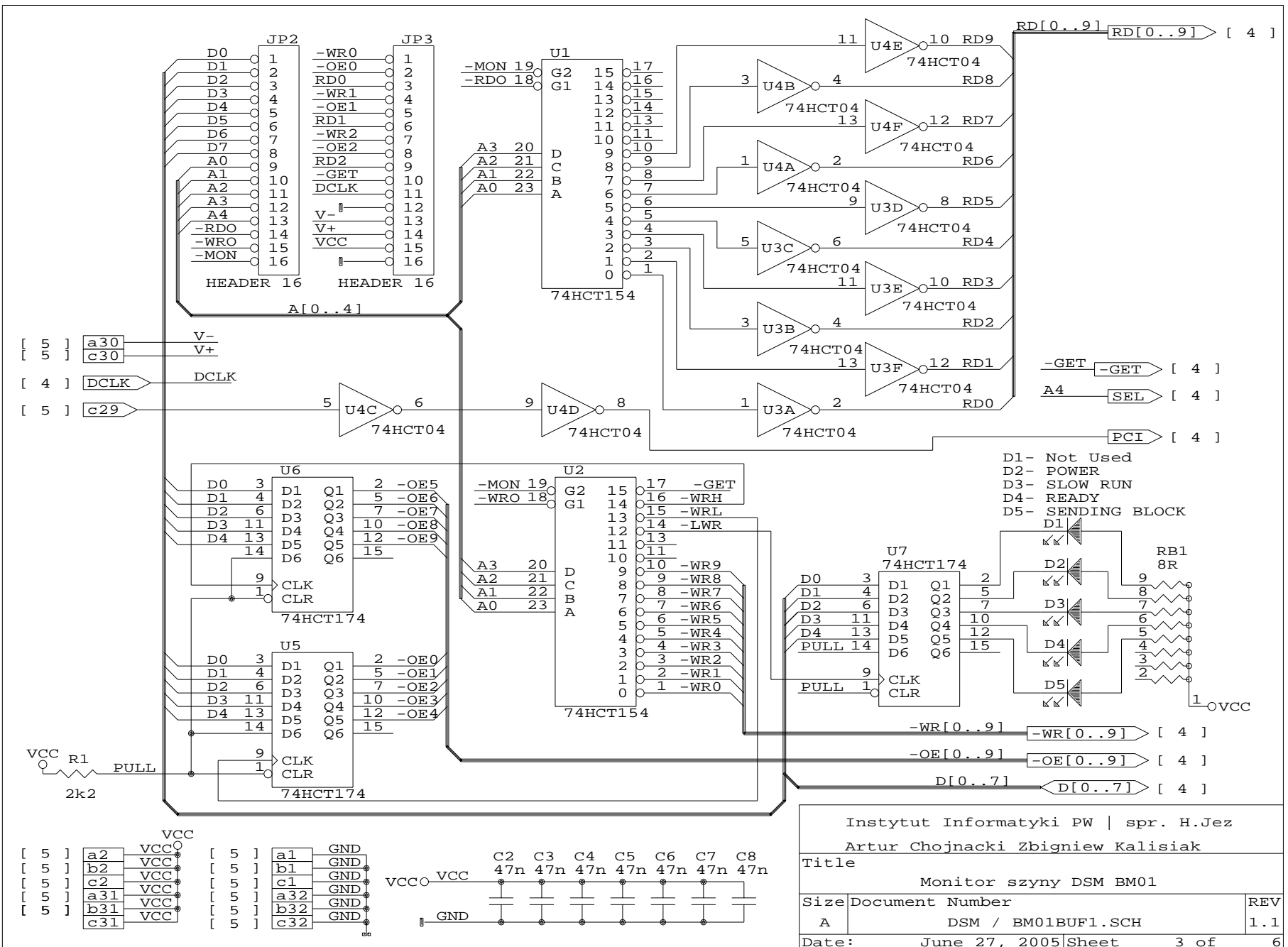


Rys. 21-6. Schemat ideowy modułu DSM BM01, płytka 1 (arkusz 2 z 6).



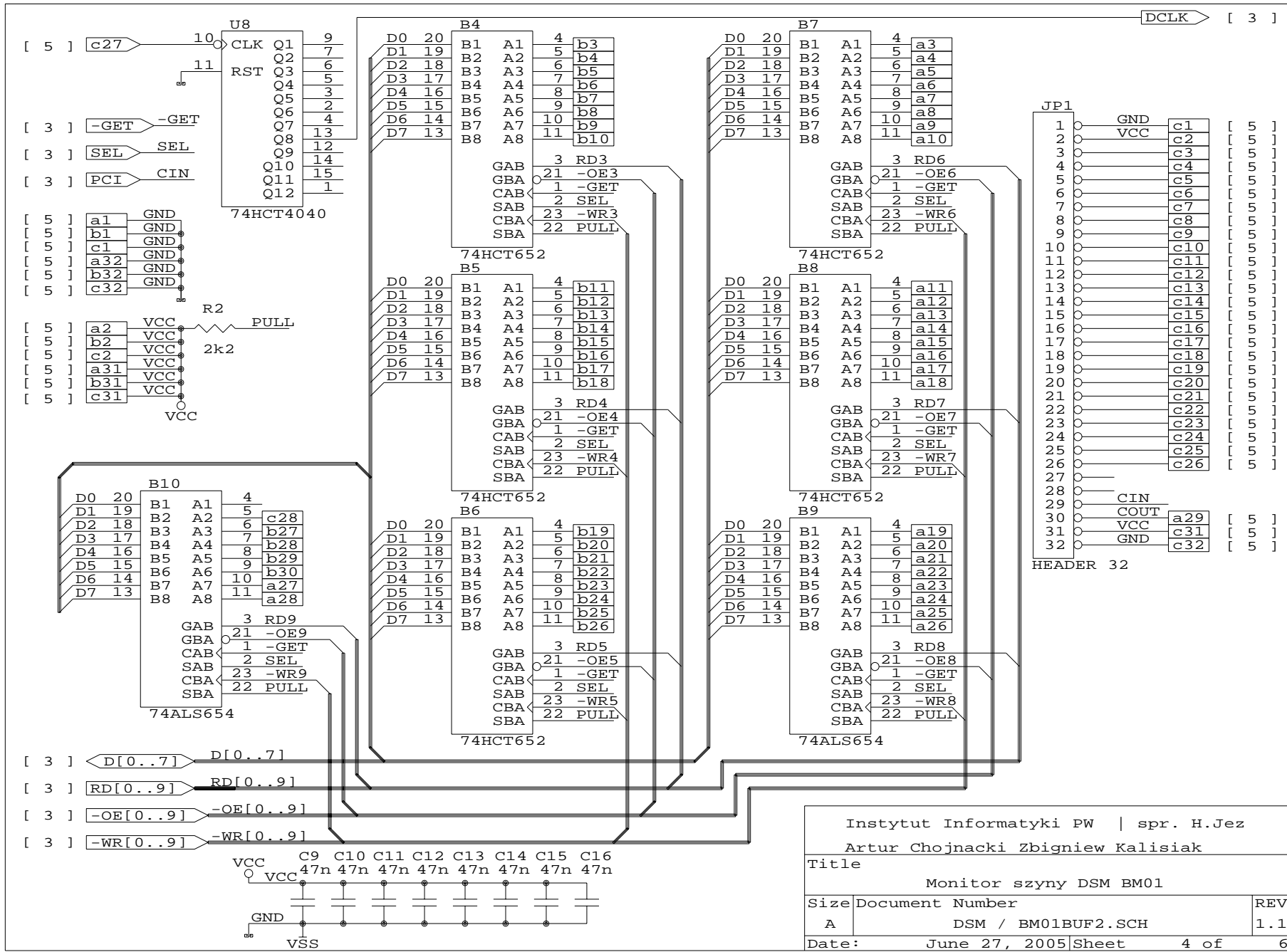
Instytut Informatyki PW   spr. H.Jez		
Artur Chojnacki Zbigniew Kalisiak		
Title		
Monitor szyny DSM BM01		
Size	Document Number	REV
A	DSM / BM01CPU2.SCH	1.1
Date:	June 27, 2005	Sheet 2 of 6

Rys. 21-7. Schemat ideowy modułu DSM BM01, płytka 2 (arkusz 3 z 6).



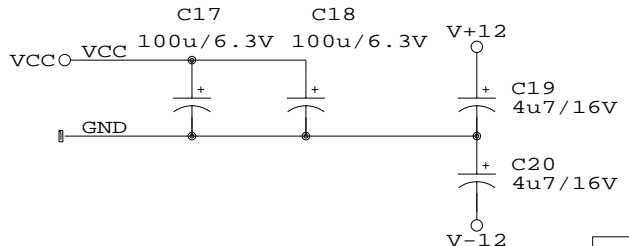
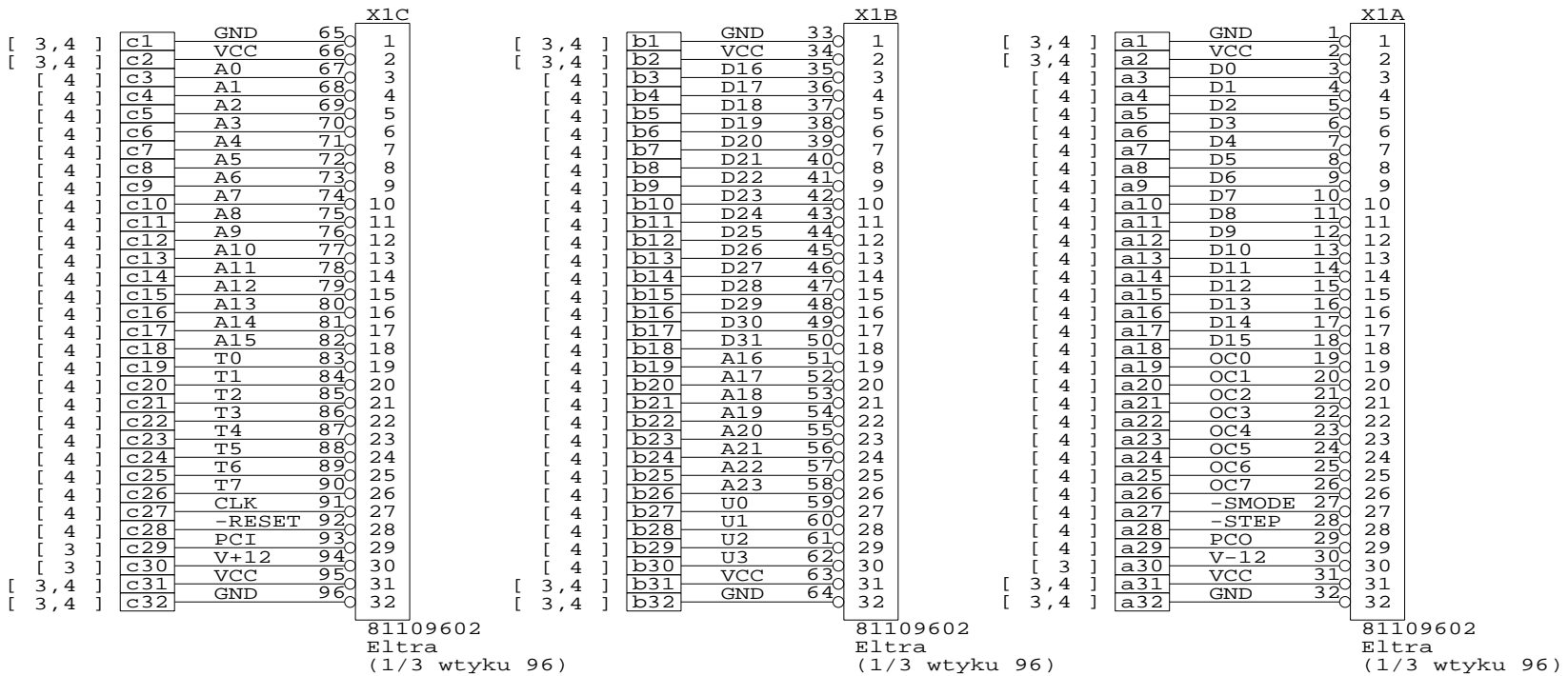
Instytut Informatyki PW   spr. H.Jez		
Artur Chojnacki Zbigniew Kalisiak		
Title		
Monitor szyny DSM BM01		
Size	Document Number	REV
A	DSM / BM01BUF1.SCH	1.1
Date:	June 27, 2005	Sheet 3 of 6

Rys. 21-8. Schemat ideowy modułu DSM BM01, płytka 2 (arkusz 4 z 6).



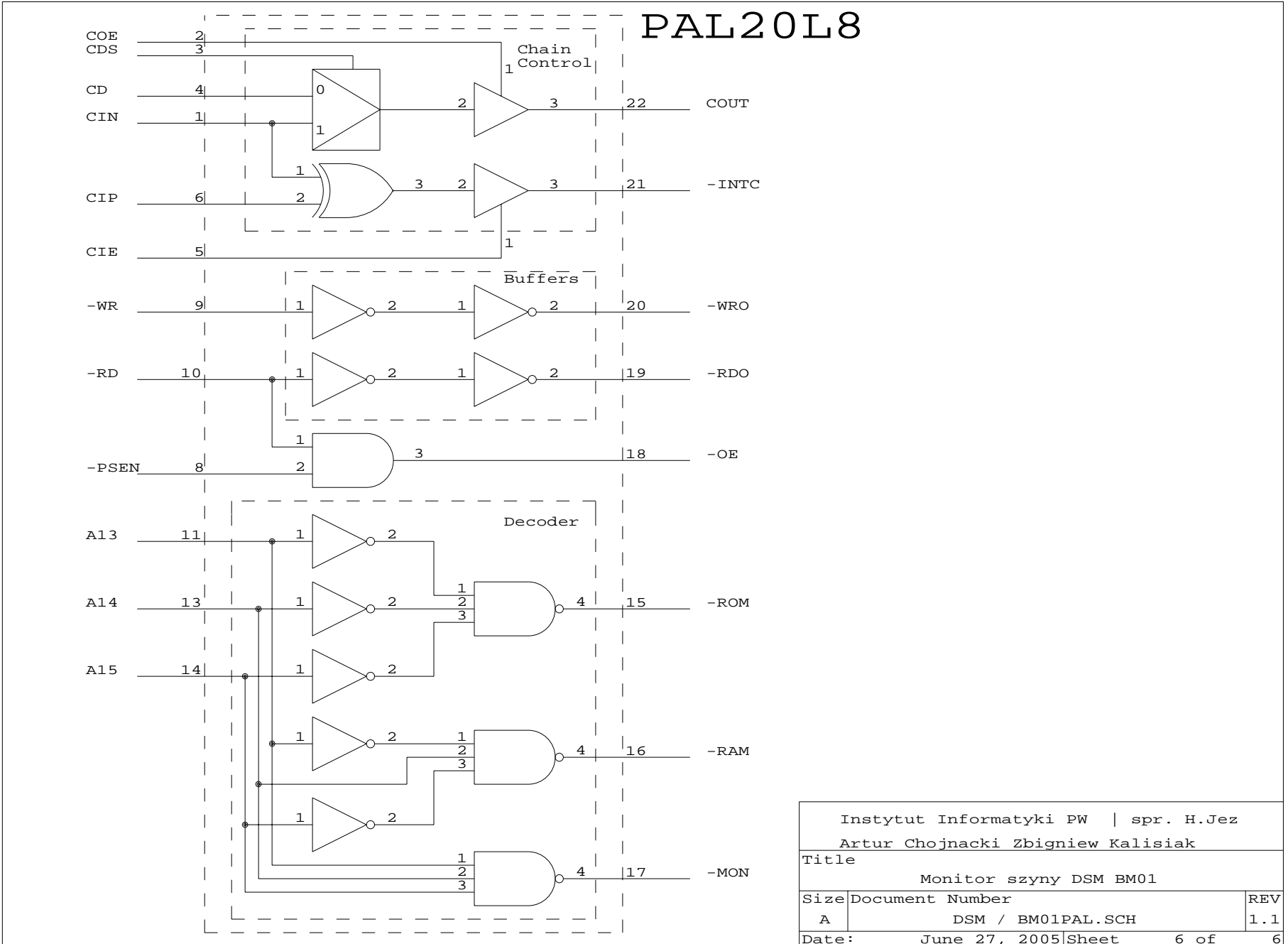
Instytut Informatyki PW   spr. H.Jez		
Artur Chojnacki Zbigniew Kalisiak		
Title		
Monitor szyny DSM BM01		
Size	Document Number	REV
A	DSM / BM01BUF2.SCH	1.1
Date:	June 27, 2005	Sheet 4 of 6

Rys. 21-9. Schemat ideowy modułu DSM BM01, płytka 2 (arkusz 5 z 6).



Instytut Informatyki PW   Spr. H.Jez		
Artur Chojnacki Zbigniew Kalisiak		
Title		
Monitor szyny DSM BM01		
Size	Document Number	REV
A	DSM / BM01BUF3.SCH	1.1
Date:	June 27, 2005	Sheet 5 of 6

Rys. 21-10. Schemat ideowy modułu DSM BM01, struktura PAL (arkusz 6 z 6).



Instytut Informatyki PW   spr. H.Jez		
Artur Chojnacki Zbigniew Kalisiak		
Title		
Monitor szyny DSM BM01		
Size	Document Number	REV
A	DSM / BM01PAL.SCH	1.1
Date:	June 27, 2005	Sheet 6 of 6