

Pakiet Z80CPU

Funkcja pakietu w systemie

Pakiet procesora Z80CPU jest modułem czynnym. Zawiera on mikroprocesor typu Z80 oraz niezbędne układy logiki i buforów. Pakiet posiada 16-bitową szynę adresową i 8-bitową szynę danych; może on współpracować z pakietami biernymi o 8-bitowej szynie danych. Pakiet jest wyposażony w układ pracy krokowej procesora.

Struktura sygnałów sterujących procesora Z80 określa logiczny standard szyny systemu.

Struktura pakietu

W pakiecie Z80CPU można wyróżnić następujące bloki funkcjonalne:

- procesor z układami logiki,
- układy inicjacji działania procesora i pracy krokowej,
- buforów szyny procesora.

Blok procesora zawiera:

- mikroprocesor typu Z80CPU (U1),
- układ generacji sygnału synchronizacji procesora i systemu,
- bramkę AND typu 7408 (U11B), generującą sygnał -DDI sterujący kierunkiem przepływu danych przez buforów szyny,
- bramkę NAND typu 74132 (U10D), generującą sygnał -IDLE oznaczający brak aktywności procesora na szynie.

Blok inicjacji procesora i pracy krokowej zawiera:

- generator sygnału RESET procesora przy włączeniu zasilania lub uaktywnieniu linii -RESET szyny,
- układ pracy krokowej wydłużający cykl transmisji danych na szynie systemu.

Blok buforów zawiera układ typu 74245 (U4) buforujący szynę danych oraz trzy układy typu 74541 (U5, U6, U8), służące do buforowania szyny adresowej i trójstanowych linii sterowania transmisją.

Ustalone połączenia z szyną systemu

Szyna adresowa A0÷A15 procesora jest połączona z liniami A0÷A15 szyny systemu za pośrednictwem układów typu 74541.

Szyna danych D0÷D7 procesora jest połączona z liniami D0÷D7 szyny systemu za pośrednictwem układu typu 74245.

Sygnały sterujące -MREQ, -IORQ, -RD, -WR, -M1, zbuforowane przez układ typu 74541, są dołączone odpowiednio do linii T0÷T4.

Sygnał synchronizujący CLK jest doprowadzony do linii CLK szyny.

Linia -WAIT procesora jest sterowana z linii OC0 szyny.

Linia -BUSRQ procesora jest połączona z linią OC2.

Linie -INT i -NMI procesora są połączone z liniami OC6 i OC7 szyny systemu.

Linie -RESET, -SMODE i -STEP pakietu są połączone z liniami szyny systemu o tych samych nazwach.

Możliwości konfiguracji

(I-wejście, O-wyjście, Z-wysoka impedancja, OC-otwarty kolektor, PWR-zasilanie, X-linia niezdefiniowana)

Łączówka JP-3 pozwala na podłączenie linii wejściowych procesora -HALT, -BUSAK i -RFSH do wybranych przez użytkownika linii szyny systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-HALT	O	Z80CPU	sygnalizacja zatrzymania procesora
2	-BUSAK	O	Z80CPU	potwierdzenie zwolnienia szyny przez procesor
3	-RFSH	O	Z80CPU	sygnalizacja cyklu odświeżania pamięci

Łączówka JP-4 udostępnia sygnały sterujące generowane na pakiecie, które mogą być wykorzystane przez użytkownika po wyprowadzeniu ich na szynę systemu.

Nr	Nazwa	Typ	Układ	Funkcja
1	-DDI	O	HCT08	przesłanie danych po szynie do procesora
2	-IDLE	O	HCT132	brak aktywności procesora na szynie
3	-BDIS	I	HCT132	deaktywacja buforów szyny systemu

Łączówka JP-T1 umożliwia doprowadzenie na wejścia bufora U6 wybranych sygnałów, które mogą być wyprowadzone na szynę systemu jako trójstanowe.

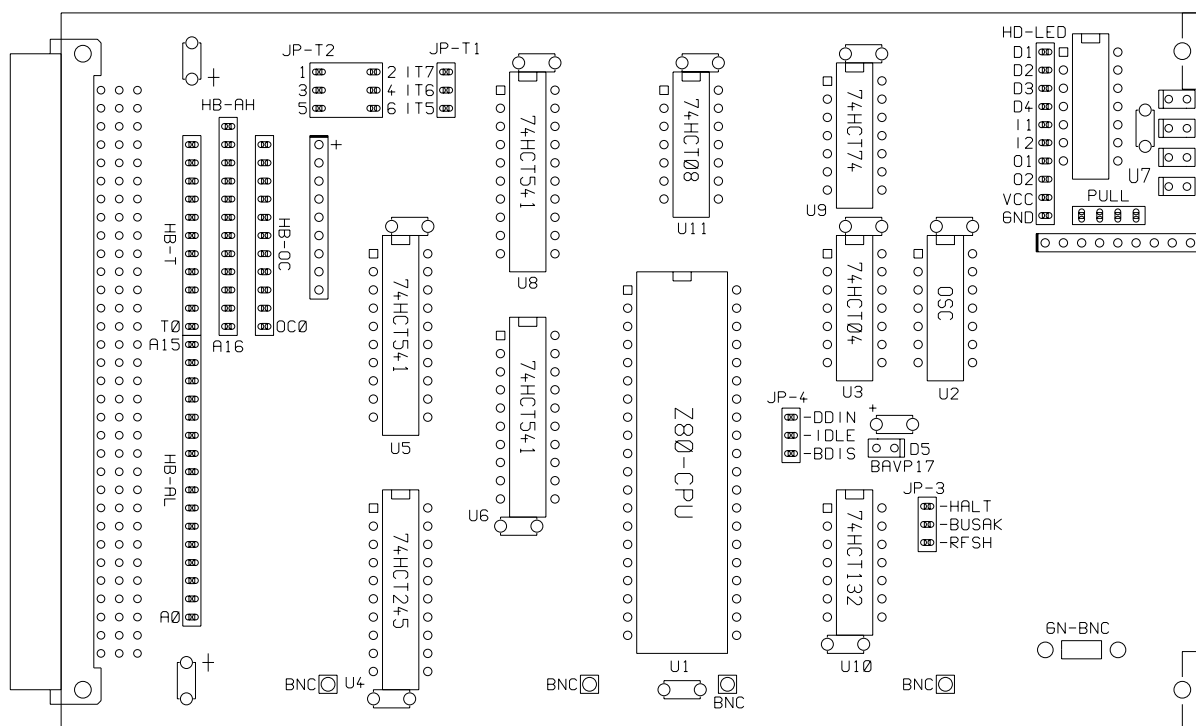
Nr	Nazwa	Typ	Układ	Funkcja
1	IT7	I	HCT541	wejście bufora
2	IT6	I	HCT541	wejście bufora
3	IT5	I	HCT541	wejście bufora

Łączówka JP-T2 pozwala na wyprowadzenie na linii T5÷T7 szyny systemy dowolnych sygnałów z pakietu. Mogą one być zbuforowane przez układ typu 74541 (co pozwala na wprowadzenie odpowiednich linii szyny w stan wysokiej impedancji), lub wyprowadzone bezpośrednio na szynę.

Nr	Nazwa	Typ	Układ	Funkcja
1	T7	I/O/Z	X1C	linia szyny systemu
2	OT7	O/Z	HCT541	wyjście bufora
3	T6	I/O/Z	X1C	linia szyny systemu
4	OT6	O/Z	HCT541	wyjście bufora
5	T5	I/O/Z	X1C	linia szyny systemu
6	OT5	O/Z	HCT541	wyjście bufora

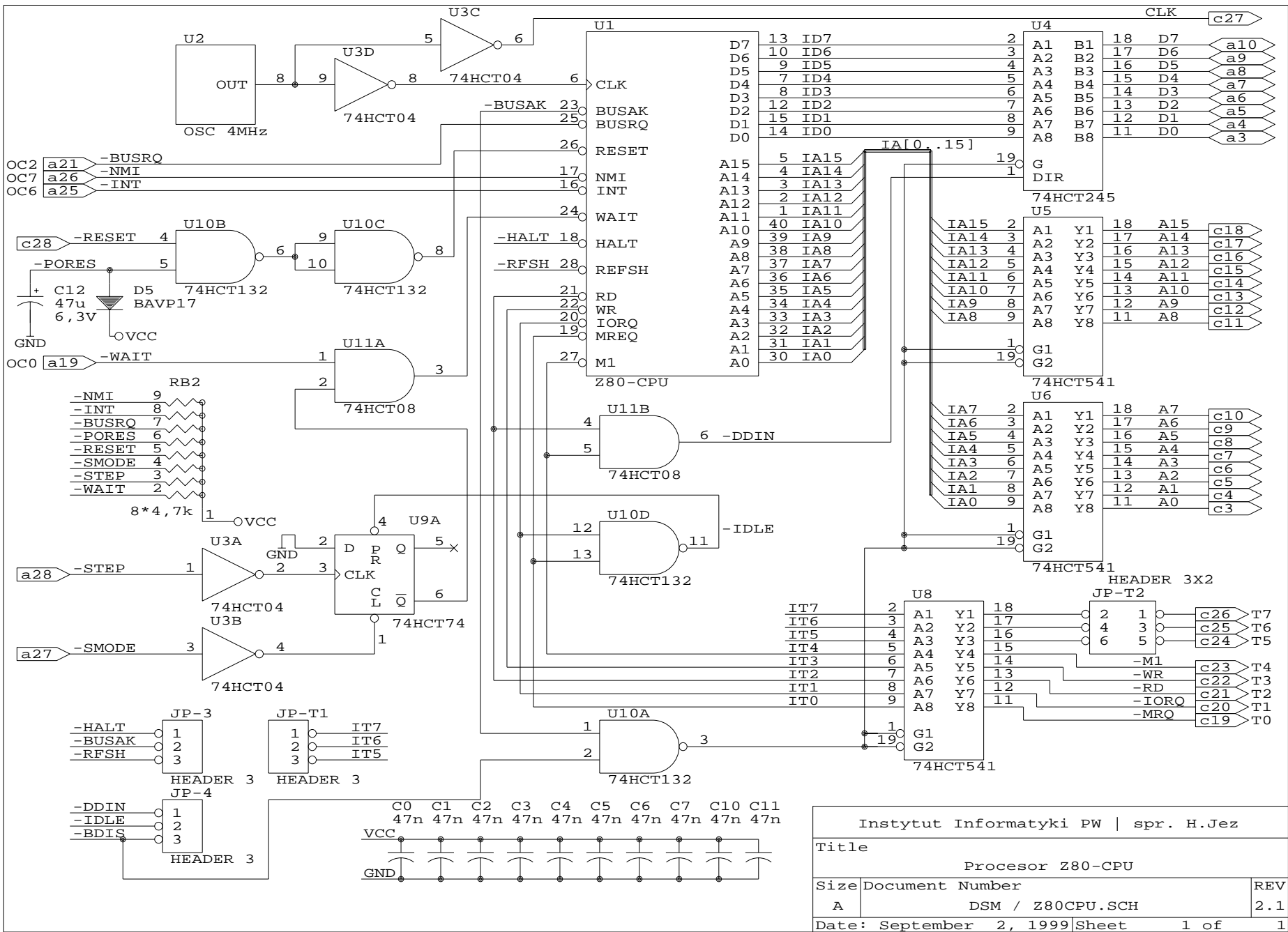
Złącza zewnętrzne

Pakiet nie posiada złączy zewnętrznych.



Rys. 7-1. Rozłożenie elementów na module DSM Z80CPU.

Rys. 7-2. Schemat ideowy modulu DSM Z80CPU.



Instytut Informatyki PW spr. H.Jez		
Title		
Procesor Z80-CPU		
Size	Document Number	REV
A	DSM / Z80CPU.SCH	2.1
Date: September 2, 1999	Sheet	1 of 1