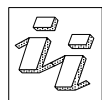




Politechnika Warszawska
Instytut Informatyki



DYDAKTYCZNY SYSTEM MIKROPROCESOROWY

Podręcznik użytkownika



Warszawa, 1991-2005

Edycja 1 - październik 1991
 Edycja 2 - wrzesień 1994
 Edycja 3 - wrzesień 1999
 Edycja 4 - październik 2005

Autorzy: Jerzy Chrzęszcz, Grzegorz Mazur

Nagrody.

- Praca "Dydaktyczny System Mikroprocesorowy" otrzymała w 1992 roku nagrodę Rektora Politechniki Warszawskiej: II stopnia dydaktyczną zespołową.
- Zbigniew Kalisiak i Artur Chojnacki za pracę dyplomową magisterską "Uniwersalny monitor szyny dla Dydaktycznego Systemu Mikroprocesorowego" (opiekun: mgr inż. Marek Pawłowski) obronioną w Instytucie Informatyki PW w 1992r. otrzymali I nagrodę w konkursie Polskiego Towarzystwa Informatycznego za najlepszą pracę magisterską w dziedzinie informatyki w 1992 roku.

W skład dokumentacji wchodzi ponadto:

1. "Monitor szyny sytemu DSM (BM01) wersja 2.0. Instrukcja obsługi." IIPW, grudzień 1991.
2. "Monitor szyny sytemu DSM (BM01) wersja 2.0. Dokumentacja techniczna." IIPW, grudzień 1991r.

Projektanci pakietów DSM:

mgr inż. Jerzy Chrzęszcz: **PRO1**, **MEM8**, **MEM16**, **8237**, **8250**, **8254**, **8255**, **8259**, **Z80PIO**, **Z80DMA**, **Z80CTC**, **Z80DART**.

mgr inż. Grzegorz Mazur: **Z80CPU**, **68000**, **8051**.

studenci Artur Chojnacki, Zbigniew Kalisiak: **BUSX**, **BM01**, BM02 (prototyp), płytki drukowane do wyżej wymienionych pakietów, programy Monitor.exe, Buscomp.exe dla MS-DOS wersji 5.0 w IBM PC AT.

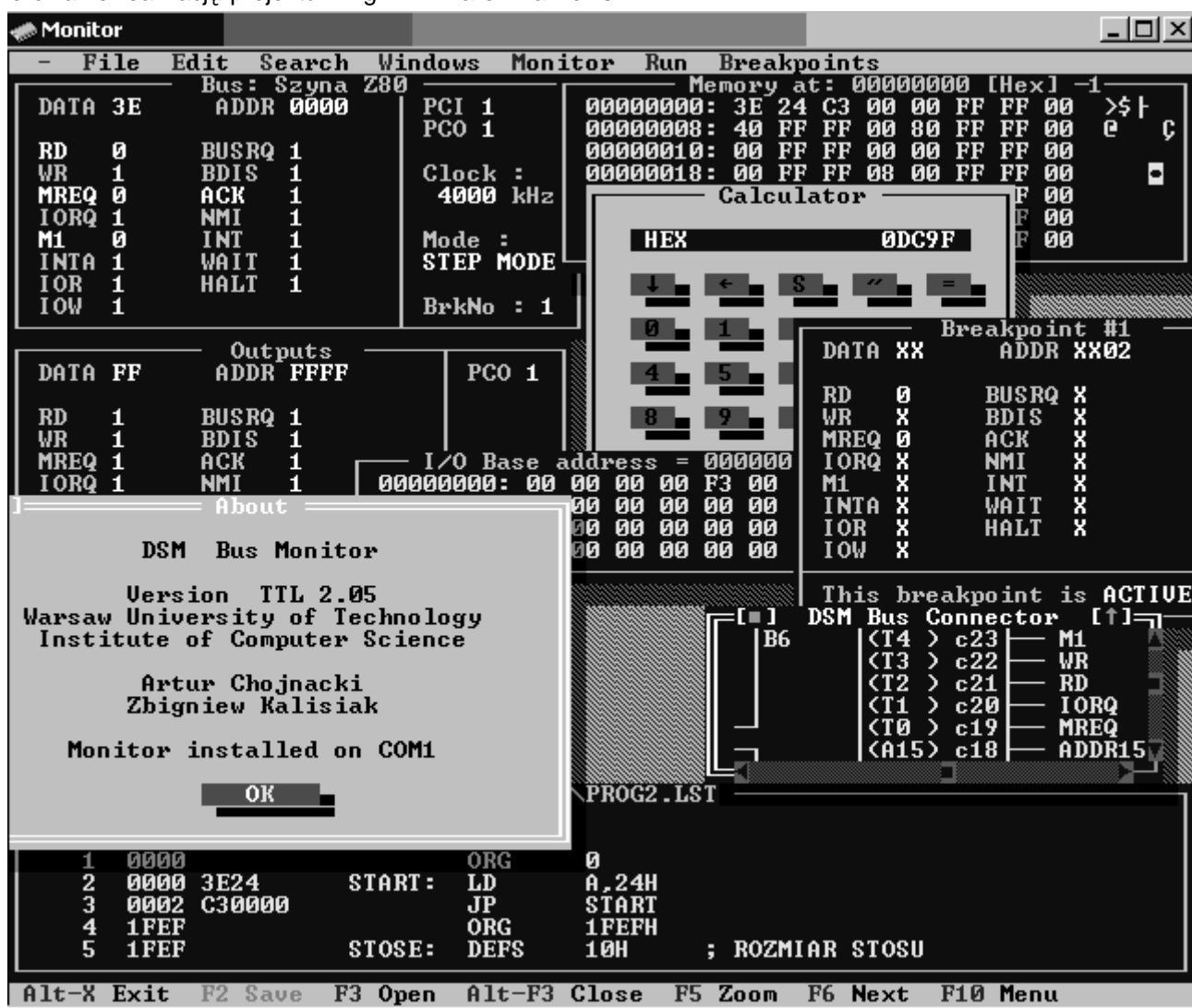
student Dariusz Bajszczak: **8530** (prototyp).

mgr inż. Andrzej Budkowski: **plater kasety DSM**.

mgr Henryk Jeż: **8530**, **PRO2**, **PRO3**.

Montaż pakietów: technicy Romuald Siwik, Krzysztof Waclawski: w/w pakiety, kasety DSM, przewody montażowe.

Kierowanie realizacją projektu: mgr inż. Marek Pawłowski.



Rys. 1-4. Wygląd okna programu Monitor.exe, nadzorującego z poziomu IBM PC pracę modułów DSM.

Spis treści

<u>Opis sytemu</u>	<u>1-1</u>
<u>1. Wprowadzenie</u>	<u>1-1</u>
<u>2. Architektura systemu</u>	<u>1-1</u>
<u>3. Szyna systemu</u>	<u>1-1</u>
<u>4. Konstrukcja mechaniczna</u>	<u>1-3</u>
<u>5. Budowa konfiguracji prototypowych</u>	<u>1-3</u>
<u>Część stała pakietów</u>	<u>2-1</u>
<u>Pakiet PRO1</u>	<u>3-1</u>
<u>Pakiet PRO2</u>	<u>4-1</u>
<u>Pakiet PRO3</u>	<u>5-1</u>
<u>Pakiety MEM8 i MEM16</u>	<u>6-1</u>
<u>Pakiet Z80CPU</u>	<u>7-1</u>
<u>Pakiet 68000</u>	<u>8-1</u>
<u>Pakiet 8051</u>	<u>9-1</u>
<u>Pakiet 8237</u>	<u>10-1</u>
<u>Pakiet 8250</u>	<u>11-1</u>
<u>Pakiet 8254</u>	<u>12-1</u>
<u>Pakiet 8255</u>	<u>13-1</u>
<u>Pakiet 8259</u>	<u>14-1</u>
<u>Pakiet 8530</u>	<u>15-1</u>
<u>Pakiet Z80PIO</u>	<u>16-1</u>
<u>Pakiet Z80DMA</u>	<u>17-1</u>
<u>Pakiet Z80CTC</u>	<u>18-1</u>
<u>Pakiet Z80DART</u>	<u>19-1</u>
<u>Pakiet BUSX</u>	<u>20-1</u>
<u>Pakiet BM01</u>	<u>21-1</u>
<u>Plater kasety</u>	<u>22-1</u>
<u>Literatura</u>	<u>23-1</u>

Oznaczenia pakietów DSM.

Napisy na płytach czołowych pakietów: Seria - u dołu, Jednostka - u góry.

Pakiet	Seria	Jednostka
PRO1	PRO	P01
PRO2	PRO	P02
PRO3	PRO	P03
MEM8	MEM	D08
MEM16	MEM	D16
Z80CPU	Z80	CPU
68000	M68	68K
8051	I8X	8051
8237	I8X	8237
8250	I8X ¹⁾	8250
8254	I8X	8254
8255	I8X	8255
8259	I8X	8259
8530	Z80	8530
Z80PIO	Z80	PIO
Z80DMA	Z80	DMA
Z80CTC	Z80	CTC
Z80DART	Z80	DART
BUSX	DSM	BUSX
BM01	DSM	BM01

¹⁾ - Układ 8250 nie jest produkowany przez firmę Intel.

Opis sytemu

1. Wprowadzenie

System DSM jest przeznaczony do konstruowania prototypów urządzeń mikroprocesorowych w celach doświadczalnych i dydaktycznych. Pozwala on na budowę prototypów urządzeń o złożoności nie przekraczającej jednego pakietu, co odpowiada kilku - kilkudziesięciu układom scalonym. Pojedynczy system DSM umożliwia budowę mikrokomputera jednoprocessorowego, chociaż nie jest wykluczona możliwość tworzenia na bazie DSM systemów wieloprocessorowych.

W systemie mogą zostać użyte mikroprocesory o szerokości szyny danych do 32 bitów, dzięki czemu mogą być budowane prototypy mikrokomputerów 32-bitowych o dużej mocy przetwarzania.

Prowadzenie połączeń w systemie DSM odbywa się na poziomie układów, co umożliwia zastosowanie systemu do budowy prototypów będących dokładnymi odpowiednikami projektowanych urządzeń. Jest to podstawowa cecha odróżniająca system DSM od innych modułowych systemów mikroprocesorowych o podobnych zastosowaniach. Konstruowanie na poziomie układowym stanowi również podstawowy walor dydaktyczny systemu, gdyż pozwala skoncentrować uwagę na właściwym zagadnieniu projektowym, a nie na rozpoznaniu funkcjonowania gotowych modułów.

2. Architektura systemu

System DSM jest systemem modułowym o regularnej strukturze połączeń. Połączenia pomiędzy modułami są realizowane za pośrednictwem biernej szyny równoległej, łączącej wszystkie moduły systemu. W systemie występują moduły trzech typów: czynne, bierne i diagnostyczne.

2.1. Moduły czynne

Moduły czynne są to takie moduły, które są zdolne do inicjowania transmisji na szynie systemu, a więc mogą ustawiać stan szyny adresowej i linie sterowania transmisją. Są to głównie moduły zawierające procesory i sterowniki bezpośredniego dostępu do pamięci. Moduły czynne określają standard logiczny szyny systemu - szerokość szyny adresowej i danych oraz rozmieszczenie i interpretację sygnałów sterujących transmisją.

2.2. Moduły bierne

Moduły bierne odpowiadają na cykle transmisji inicjowane przez moduły czynne. Są to moduły zawierające układy pamięci oraz sterowniki urządzeń wejścia-wyjścia. Poszczególne moduły bierne mogą być wykonane jako uniwersalne, lub mogą być dostosowane do współpracy z określonym modułem czynnym. W pierwszym przypadku dekodowanie adresów oraz doprowadzenie sygnałów sterowania transmisją leży w gestii użytkownika; w drugim - wszystkie (lub prawie wszystkie) połączenia są zrealizowane w postaci ścieżek obwodu drukowanego.

2.3. Moduły diagnostyczne

Moduły tego typu realizują w systemie funkcje diagnostyczne. Do takich funkcji należą:

- inicjowanie pracy systemu,
- sterowanie pracą krokową procesora,
- monitorowanie stanu szyny.

Zakres funkcji realizowanych przez moduły diagnostyczne nie jest sztywno określony, a sposób ich realizacji jest uzależniony od konstrukcji zarówno modułu diagnostycznego, jak i zastosowanego w systemie modułu procesora i innych modułów czynnych.

3. Szyna systemu

Struktura szyny systemu nie jest zgodna z żadnym z uznanych standardów światowych. W trakcie projektowania systemu uznano, że szyna powinna pozwalać na realizację połączeń na poziomie międzyukładowym. Założenie takie implikuje wprost związanie standardu logicznego szyny z zastosowaną w systemie rodziną układów mikroprocesorowych. Ponieważ równocześnie założono, że system powinien umożliwiać wykorzystanie mikroprocesorów różnych rodzin, w konsekwencji powstała koncepcja "słabej definicji" szyny, pozwalającej na elastyczne dostosowanie definicji szyny do układów zastosowanych w konkretnej konfiguracji systemu.

Przyjęta specyfikacja szyny określa cechy szyny systemu w taki sposób, aby możliwe było zaprojektowanie szeregu modułów systemu z układami różnych rodzin, mogących współpracować ze sobą w wielu konfiguracjach.

3.1. Definicja linii szyny

Wśród sygnałów szyny systemu wyróżnione zostały następujące grupy linii:

- linie zasilania: GND, Vcc, V+, V-,
- linie diagnostyczne: -RESET, CLK, -SMODE, -STEP,
- linie adresu: A0÷A23,
- linie danych: D0÷D31,
- trójstanowe linie sterowania: T0÷T7,
- linie typu otwarty kolektor: OC0÷OC7,
- linie definiowane przez użytkownika: U0÷U3,
- linie o połączeniu łańcuchowym: PCI, PCO.

Poniżej podano definicję poszczególnych linii szyny systemu.

GND

- linie masy.

VCC

- linie zasilania +5V.

V+

- linia zasilania +12V.

V-

- linia zasilania -12V.

-RESET

- linia inicjacji działania systemu, typu otwarty kolektor, aktywna poziomem niskim.

CLK

- linia sygnału synchronizującego procesora, dwustanowa. Sposób generowania i wykorzystanie tego sygnału określa użytkownik. Funkcja sygnału CLK w systemie nie jest określona.

-SMODE

- linia włączenia trybu pracy krokowej procesora, typu otwarty kolektor, aktywna poziomem niskim. Zaleca się wyposażanie modułów z procesorami posiadającymi mechanizm pracy krokowej w układy umożliwiające wykorzystanie tego trybu pracy. Implementacja układu pracy krokowej w module procesora jest uzależniona od decyzji projektanta modułu i nie jest niezbędna.

-STEP

- linia zezwolenia na zakończenie cyklu pracy krokowej, typu otwarty kolektor, aktywna zboczem opadającym. Definicja cyklu pracy krokowej zależy od decyzji projektanta modułu. W typowym przypadku może to być cykl transmisji na szynie.

A0÷A15

- 16-bitowa, trójstanowa szyna adresowa.

A16÷A23

- szyna bardziej znaczącej części adresu, trójstanowa. Implementacja tej części szyny jest opcjonalna. Jeżeli linie te nie zostaną użyte do przesyłania adresu, ich przeznaczenie jest definiowane przez użytkownika.

D0÷D7

- 8-bitowa, trójstanowa szyna danych.

D8÷D15

- wraz z liniami D0÷D7 linie te stanowią 16-bitową, trójstanową szynę danych.

D16÷D31

- wraz z liniami D0÷D15 linie te stanowią 32-bitową, trójstanową szynę danych. Jeżeli linie te nie zostaną użyte do przesyłania danych, ich przeznaczenie jest definiowane przez użytkownika.

T0÷T7

- trójstanowe linie sterowania transmisją, sterowane przez moduł aktywny. Dla utrzymania jednolitości systemu wskazane jest definiowanie znaczenia linii zgodnie z konwencją podaną w rozdziale 5.4.

OC0÷OC7

- linie typu otwarty kolektor, wykorzystywane głównie jako wejścia modułu czynnego, sterowane przez dowolny moduł na szynie. Dla utrzymania jednolitości systemu wskazane jest definiowanie znaczenia linii zgodnie z konwencją podaną w rozdziale 5.4.

U0÷U3

- linie pozostawione do dyspozycji użytkownika, bez jakiegokolwiek definicji w systemie.

PCI, PCO

- linie te łączą pakiety systemu w łańcuch. Mogą one być wykorzystane przez użytkownika do implementacji łańcuchowego układu arbitrażu szyny lub dla potrzeb systemu przerwań. PCI jest linią wejściową i łączy się z linią wyjściową PCO modułu sąsiedniego z prawej strony. Moduł umieszczony przy prawym boku kasety ma podłączoną "1" do linii PCI (przez rezystor 1kΩ dołączony do +5V).

3.2. Rozmieszczenie linii na łączówce szyny systemu

Układ linii szyny na łączówce został określony w taki sposób, aby ułatwić projektowanie obwodów drukowanych dla poszczególnych pakietów systemu oraz aby zminimalizować prawdopodobieństwo uszkodzenia elektrycznego modułów w czasie pracy z systemem. Rozmieszczenie linii sygnałowych na łączówce przedstawia tabela.

Linie masy zostały umieszczone na sześciu zewnętrznych końcówkach łączówek w celu uniknięcia uszkodzenia pakietu w przypadku próby jego włożenia do / wyjęcia z kasety systemu przy włączonym zasilaniu. Linie zasilania VCC sąsiadują z liniami masy i zajmują kolejnych sześć końcówek łączówek, co ułatwia prowadzenie ścieżek zasilania na pakietach.

Linie zasilania V+ i V- zostały umieszczone w taki sposób, aby ich ewentualne zwarcie z liniami sąsiednimi spowodowało jak najmniejsze uszkodzenia w systemie. Linie te sąsiadują z liniami zasilania VCC oraz liniami łańcuchowymi, dzięki czemu zasięg skutków zwarcia zostaje ograniczony do dwóch sąsiadujących ze sobą pakietów.

Pozostałe linie szyny zostały zgrupowane na łączówce w taki sposób, aby uprościć projektowanie połączeń drukowanych. Przy budowie pakietów z szynami danych i adresu o szerokości nie przekraczającej 16 bitów możliwa jest całkowita rezygnacja z wykorzystania środkowego rzędu wyprowadzeń łączówki.

Rozmieszczenie linii na łączówce szyny

Nr	Nazwa	Nr	Nazwa	Nr	Nazwa
a1	GND	b1	GND	c1	GND
a2	VCC	b2	VCC	c2	VCC
a3	D0	b3	D16	c3	A0
a4	D1	b4	D17	c4	A1
a5	D2	b5	D18	c5	A2
a6	D3	b6	D19	c6	A3
a7	D4	b7	D20	c7	A4
a8	D5	b8	D21	c8	A5
a9	D6	b9	D22	c9	A6
a10	D7	b10	D23	c10	A7
a11	D8	b11	D24	c11	A8
a12	D9	b12	D25	c12	A9
a13	D10	b13	D26	c13	A10
a14	D11	b14	D27	c14	A11
a15	D12	b15	D28	c15	A12
a16	D13	b16	D29	c16	A13
a17	D14	b17	D30	c17	A14
a18	D15	b18	D31	c18	A15
a19	OC0	b19	A16	c19	T0
a20	OC1	b20	A17	c20	T1
a21	OC2	b21	A18	c21	T2
a22	OC3	b22	A19	c22	T3
a23	OC4	b23	A20	c23	T4
a24	OC5	b24	A21	c24	T5
a25	OC6	b25	A22	c25	T6
a26	OC7	b26	A23	c26	T7
a27	-SMODE	b27	U0	c27	CLK
a28	-STEP	b28	U1	c28	-RESET
a29	PCO	b29	U2	c29	PCI
a30	V-	b30	U3	c30	V+
a31	VCC	b31	VCC	c31	VCC
a32	GND	b32	GND	c32	GND

3.3. Parametry elektryczne szyny

Ze względu na przewidziany zakres zastosowań systemu standard elektryczny szyny nie jest ściśle zdefiniowany. Zakłada się, że poziomy logiczne są zgodne z poziomami TTL. Podstawową rodzinę układów przewidzianą do zastosowania w systemie stanowią układy CMOS serii HCT, o poziomach logicznych zgodnych z poziomami TTL. Obciążalność linii szyny jest również dobierana przez użytkownika. Zalecane jest buforowanie sygnałów wyjściowych modułów czynnych przez układy serii HCT (typu 74245, 74541 lub podobne). *Moduły powinny być wkładane do i*

wyjmowane z kasety przy wyłączonym zasilaniu (nie są typu "hot plug" czy "live insertion").

4. Konstrukcja mechaniczna

Poszczególne moduły systemu mają postać pakietów drukowanych o formacie pojedynczej eurokarty (3U) - 160 × 100 mm. Pakiety są wyposażone w złącza szufladowe 96-stykowe typu ELTRA 81109602 służące do łączenia pakietów z szyną systemu. Pakiety są umieszczane w odpowiednio okablowanej kasecie z wbudowanym zasilaczem dostarczającym stabilizowanych napięć +5V, +12V i -12V.

Korzystanie z systemu wymaga wykonywania połączeń na pakiecie. W tym celu wszystkie sygnały uznane za niezbędne do skonfigurowania pakietu są wprowadzone na mikrogniazdka. Połączenia skonfigurowane przez użytkownika są wykonywane przy użyciu przewodów zakończonych wtyczkami.

Każdy pakiet posiada listwę maskującą, ułatwiającą wkładanie i wyjmowanie pakietu z kasety. Na listwie są zamontowane diody elektroluminescencyjne, pozwalające na obserwację stanu wybranych sygnałów pakietu oraz gniazdo typu BNC, do którego można podłączyć urządzenie monitorujące lub wytwarzające sygnały (np. oscyloskop, generator). Gniazdo BNC można połączyć z dowolnym punktem na pakiecie. W zależności od funkcji pakietu, na listwie maskującej mogą również być umieszczone inne elementy, np. gniazda szufladowe lub wyświetlacze.

5. Budowa konfiguracji prototypowych

Budowę konfiguracji prototypowych rozpoczyna się od wyboru (lub wykonania) pakietu procesora. Jeżeli moduł procesora wymaga konfiguracji, należy przygotować go w sposób odpowiedni dla danego zastosowania. Moduł procesora jednoznacznie określa definicję szyny systemu. Następnie należy wybrać pozostałe moduły czynne i przystosować je do współpracy z szyną.

Kolejnym krokiem jest dostosowanie do współpracy z procesorem używanych w systemie modułów biernych (pamięć i układy wejścia-wyjścia). W tym celu należy określić ich położenie w przestrzeni adresowej oraz dopasować sygnały sterujące transmisją.

5.1. Zasady budowy modułów czynnych

Przyjęto, że moduł czynny powinien jak najdokładniej odpowiadać pod względem logicznym układowi lub grupie układów tworzących procesor systemu. Zestaw sygnałów na szynie modułu czynnego odpowiada zestawowi sygnałów procesora i określa standard logiczny szyny systemu.

Ze względu na stosunkowo duże w porównaniu z innymi modułami obciążenie wyjść modułów czynnych zalecane jest buforowanie sygnałów w tych modułach. Dodatkowo można w ten sposób zabezpieczyć przed zniszczeniem układy tworzące moduł (zwykle najdroższe z układów w danej konfiguracji systemu).

Jeżeli procesor wykorzystany w module jest wyposażony w możliwość pracy krokowej, wskazana

jest implementacja układu pracy krokowej sterowanego przez linie -SMODE i -STEP szyny systemu. Przykłady implementacji takiego układu można znaleźć w opisach modułów procesorów.

5.2. Zasady budowy modułów biernych

Moduł bierny, o ile nie jest dedykowany dla konkretnego typu procesora, powinien być skonstruowany w taki sposób, aby mógł współpracować z dowolnym modułem czynnym. Jednocześnie należy dążyć do tego, aby możliwie uprościć proces konfigurowania modułu biernego do pracy z wybranym procesorem. Ważne jest również zapewnienie dużej elastyczności konfiguracji, podwyższającej walory dydaktyczne modułu i pozwalającej na wykorzystanie go na wiele sposobów (np. możliwość synchronizacji poprzez przerwania, testowanie stanu i wydłużenie cyklu transmisji).

Złożoność modułu biernego powinna odpowiadać pojedynczemu blokowi funkcjonalnemu mikrokomputera, np. systemowi pamięci EPROM, portowi równoległemu, układowi zegara-licznika, sterownikowi wyświetlacza CRT. Zakłada się, że połączenia z szyną systemu nie są buforowane, o ile nie jest to niezbędne. Buforowanie połączeń zewnętrznych zależy od decyzji projektanta i użytkownika modułu.

Przy projektowaniu dotychczas wykonanych modułów przyjęto, że na stałe poprowadzone będą jedynie połączenia konieczne w sposób oczywisty (np. linie zasilania, linie danych). Wszystkie pozostałe połączenia na pakiecie - w szczególności sygnały sterowania transmisją - są konfigurowane przez użytkownika.

5.3. Wykorzystanie szyny danych

Zakłada się, że urządzenia o szerokości szyny danych równej 8 bitów są dołączone do linii szyny D0÷D7, a urządzenia o szerokości szyny 16 bitów - do linii D0÷D15. Zasady te odpowiadają konwencji adresowania, w której bardziej znaczący bajt jest przechowywany pod wyższym adresem.

W przypadku zastosowania w systemie procesora, używającego odwrotnego schematu adresowania: bardziej znaczący bajt pod niższym adresem (np. 68030) należy odpowiednio połączyć linie danych. Aby umożliwić wykorzystanie istniejących modułów 8-bitowych w pracy z dynamicznie zmienną szerokością szyny, należy w module procesora odwrócić przypisanie poszczególnych bajtów szyny procesora i systemu. W tym celu linie D0÷D7 procesora należy połączyć z liniami D24÷D31 szyny systemu, linie D8÷D15 procesora z D16÷D24 szyny systemu itd. Taka konstrukcja modułu procesora powinna być jednak stosowana tylko wtedy, gdy jest planowane wykorzystanie dynamicznej zmiany szerokości szyny; w przeciwnym razie powoduje ona jedynie utrudnienia przy budowie i uruchamianiu systemu.

5.4. Konwencje wykorzystania linii grupy T i OC

Dla ujednoczenia konstrukcji poszczególnych pakietów systemu pomimo braku ścisłej definicji szyny

proponowane jest przyjęcie następującej konwencji dotyczącej wykorzystania poszczególnych linii grupy T i OC.

Linie T0÷T7

Nr	Typ	Nazwa	Opis
c19	T0	-MRQ -AS	linia wyboru pierwszej przestrzeni adresowej linia ważności adresu
c20	T1	-IORQ	linia wyboru drugiej przestrzeni adresowej linia wyboru typu cyklu transmisji
c21	T2	-READ -DS0	linia strobująca odczytu linia strobująca transmisję danych
c22	T3	-WRITE -DS1	linia strobująca zapisu linia strobująca transmisję danych
c23	T4	-INTA	linia strobująca szczególnego typu cyklu szyny linia wyboru trzeciej przestrzeni adresowej potwierdzenie przyjęcia przerwania
c24	T5		dodatkowe informacje o cyklu transmisji lub o stanie procesora
c25	T6		
c26	T7		

Linie OC0÷OC7

Nr	Typ	Nazwa	Opis
a19	OC0	-ACK0 -WAIT	linia potwierdzenia wykonania cyklu transmisji
a20	OC1	-ACK1	linia potwierdzenia wykonania cyklu transmisji
a21	OC2	-BUSRQ	linia żądania przejęcia szyny
a22	OC3	-BUSAK -BDIS	linia potwierdzenia zwolnienia szyny linia deaktywacji buforów szyny modułu czynnego
a23	OC4	-INT0	linia zgłoszenia przerwania o niskim priorytecie
a24	OC5	-INT1	linia zgłoszenia przerwania o niskim priorytecie
a25	OC6	-INT2 -INT	linia zgłoszenia przerwania maskowalnego o wysokim priorytecie
a26	OC7	-INT3 -NMI	linia zgłoszenia przerwania o najwyższym priorytecie linia zgłoszenia przerwania niemaskowalnego