

MaxPlusII – Konfigurowanie FPLD

Projektowany układ może być opisywany schematem lub za pomocą języków AHDL i VHDL. Zasady opisu projektu można znaleźć w pomocy programów MaxPlusII lub Quartus. Niezależnie od tego w jaki sposób projekt zostanie przestawiony a także jakim narzędziem będzie przetwarzany, konieczne jest wykonanie następujących czynności:

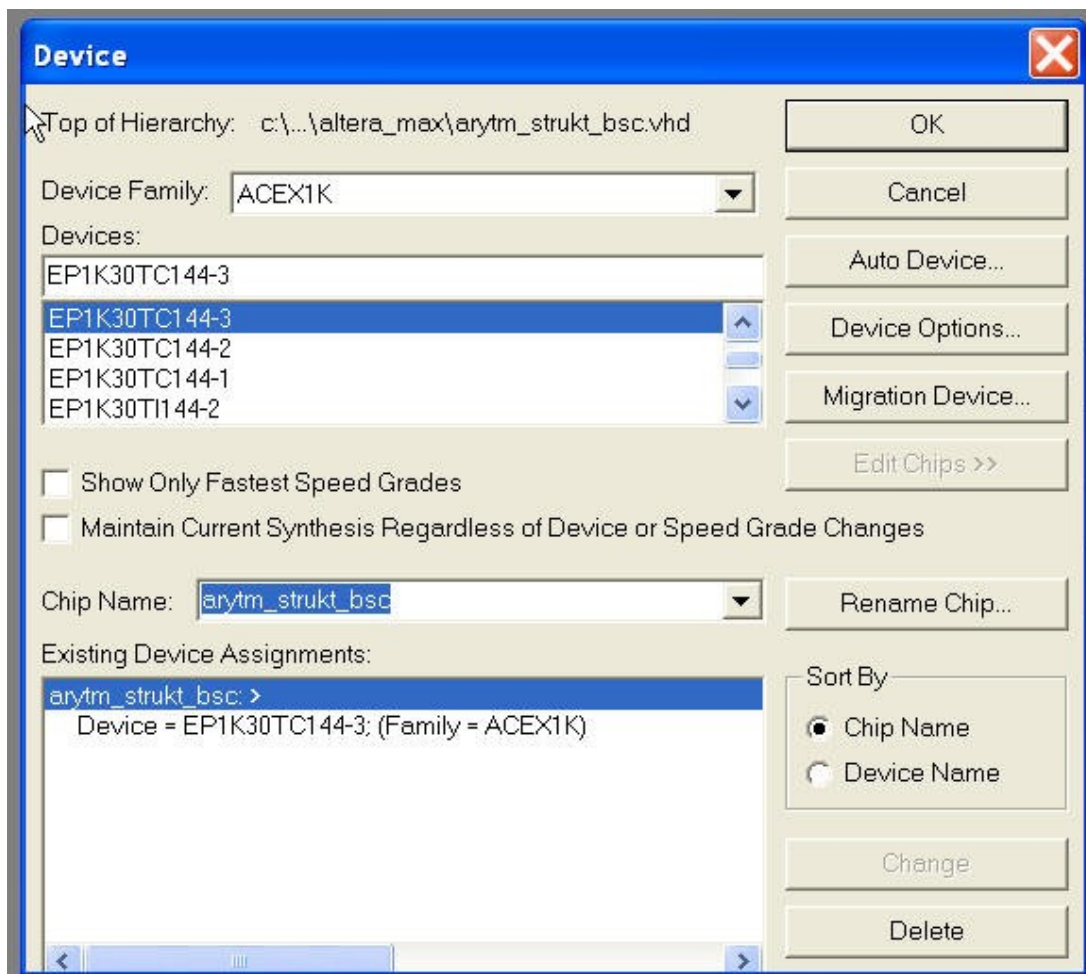
- kompilowanie projektu i jego poprawianie aż do momentu uzyskanie opisu bez błędów syntaktycznych;
- przypisanie sygnałom wejściowo/wyjściowych a także taktującym odpowiednich końcówek układu FPLD wyprowadzając je na odpowiednie złącza modułu;
- konfigurowanie układu FPLD.

Kompilacja projektu

Przed rozpoczęciem procesu kompilacji trzeba wskazać: nazwę projektu oraz układ FPLD, w którym projekt ma być umieszczony. W tym celu w programie MaxPlusII należy wybrać w menu **File** wybrać opcję **Project** a następnie **Name** i wskazać plik zawierający projekt lub wcisnąć klawisze **Ctrl+Shift+J** tworząc projekt dla otwartego pliku z opisem układu. Bez wskazania nazwy projektu niemożliwe będzie wykonanie następnych kroków konfiguracji układu FPLD. W pokazanych niżej przykładowych zrzutach ekranu użyty został projekt **arytm_strukt_bsc**.

Następnie należy w menu **Assign** wybrać funkcję **Device...** i po otwarciu okna jak na rysunku 1 wskazać rodzinę ACEX1K, usunąć zaznaczenie "Show Only Fastest Speed Grades" i wskazać układ EP1K30TC144-3. Wybór należy potwierdzić przyciskiem OK.

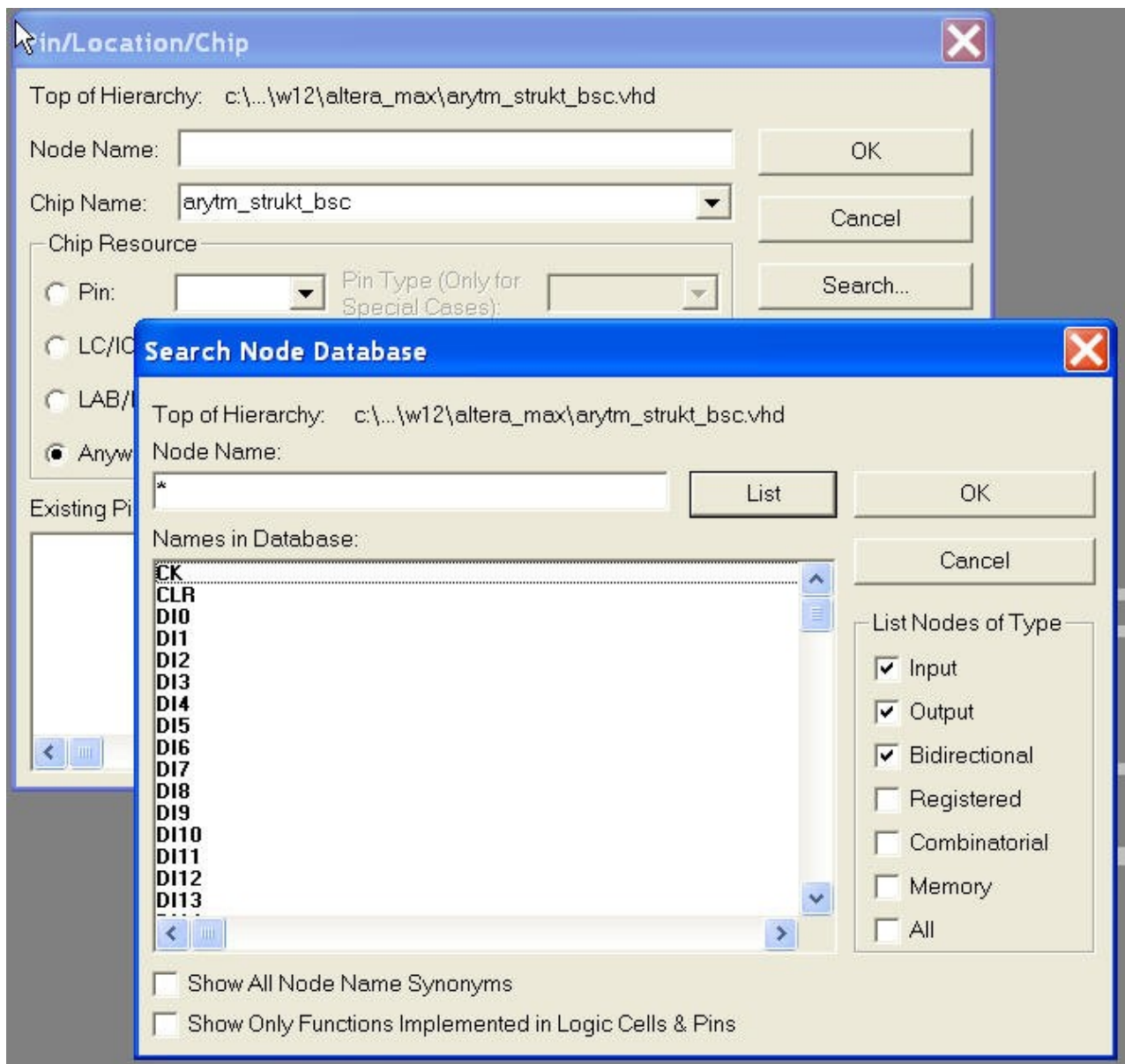
Moduł kompilacji programu MaxPlusII można wywołać na wiele sposobów np. wciskając klawisze **Ctrl+L** lub wybrać w menu **Max+plus II** funkcję **Compiler**.



Rys.1 - Okienko wyboru układu FPLD

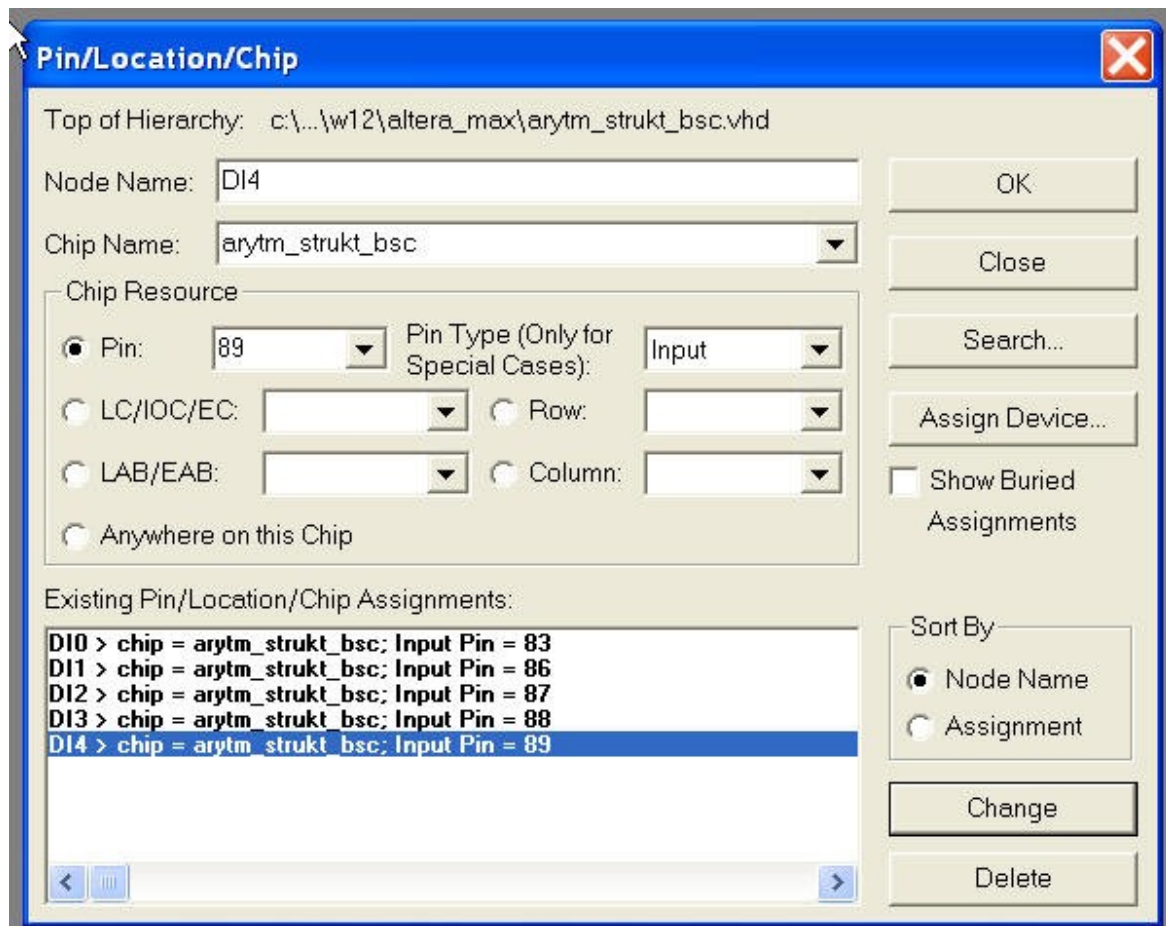
Przypisanie końcówek układu FPLD

Skompilowany, bezbłędny projekt dostarcza informacji o sygnałach wejściowo/wyjściowych, którym należy przypisać końcówki układu FPLD. W tym celu należy w menu **Assign** wybrać funkcję **Pin/Location/Chip** i w okienku o tej samej nazwie należy wcisnąć przycisk **Search...**. W okienku "Search Node Database" (jak na rys.2) można wskazać wybrany sygnał (po wcześniejszym wcisnięciu przycisku **List**), któremu należy przypisać końcówkę układu FPLD, wpisując jej numer w polu Pin lub wybrać go z listy dostępnych.



Rys.2 - Okienko wyboru sygnału do przypisania końcówki

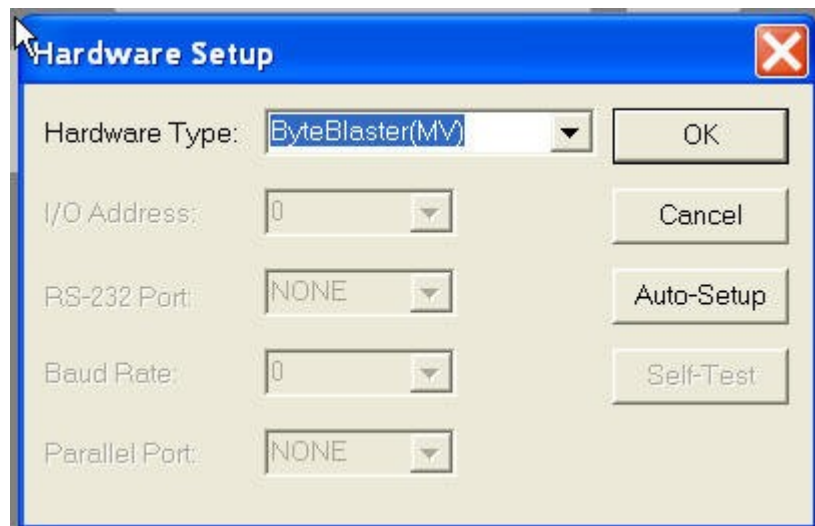
Wciśnięcie przycisku **Add** zatwierdza przypisanie i pozwala powtórzyć opisany proces dla następnego sygnału. Wciśnięcie przycisku **OK** zatwierdza przypisanie i zamyka okienko "Pin/Location/Chip" (rys.3).



Rys.3 - Okienko przypisania końcówek układu FPLD

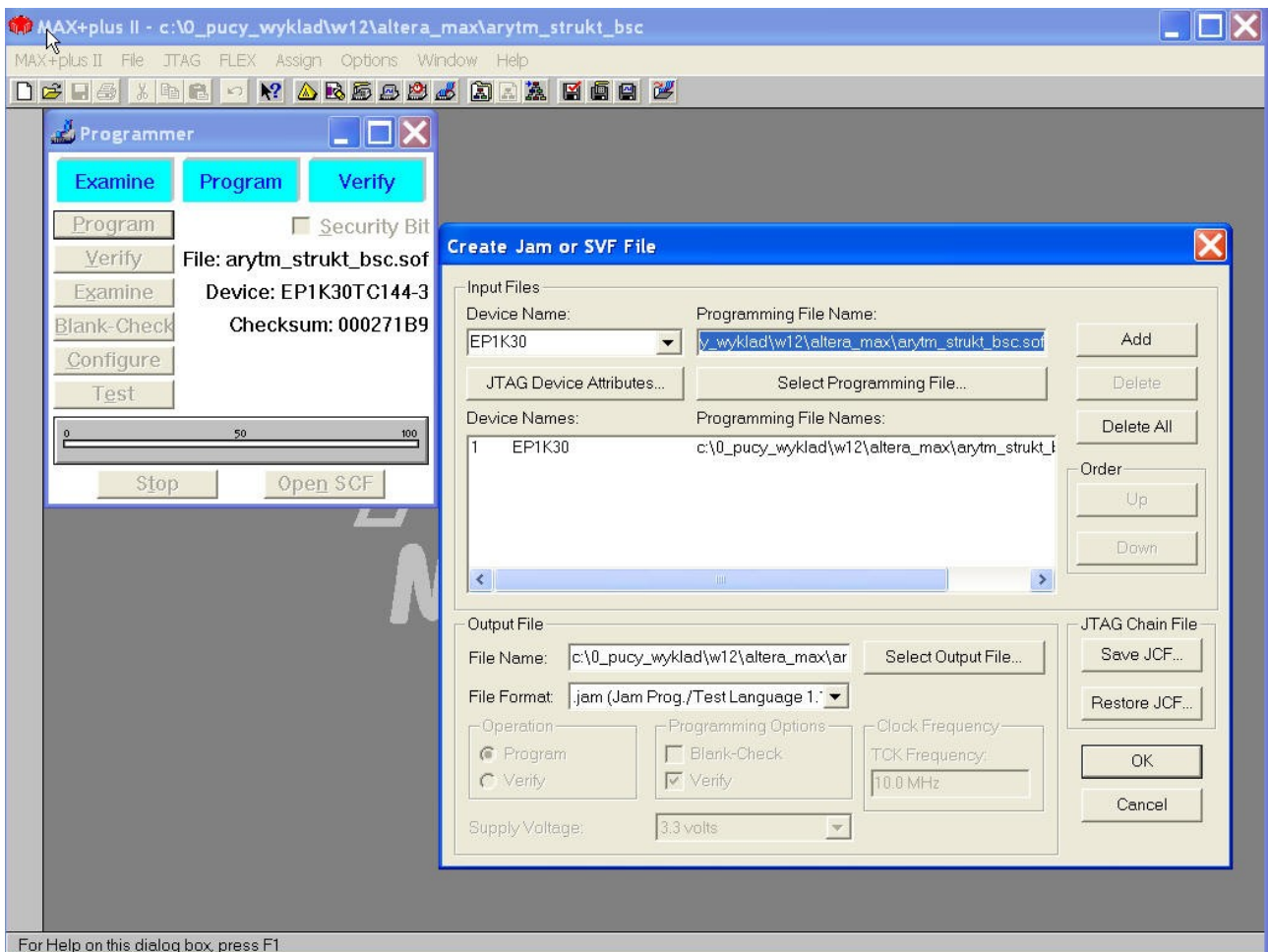
Konfigurowanie FPLD

Przed przystąpieniem do zapisywania układu FPLD trzeba dokonać wyboru układu konfiguratora. W tym celu w menu *Max+plus II* wskazać funkcję *Programmer* i gdy nie “wyskoczy” okienko “Hardware Setup” należy w menu *Options* wybrać funkcję *Hardware Setup...* i ustalić następujące parametry: **Hardware Type = ByteBlaster(MV)**, **Parallel Port=LPT2:** (rys.4).



Rys.4 - Wybór konfiguratora układu FPLD

Kolejny krok to wskazanie pliku konfiguracyjnego układ FPLD. W tym celu w menu *JTAG* należy wybrać funkcję *Multi-Device JTAG Chain Setup*. W okienku o tej nazwie należy wskazać typ układu (**DeviceName=EP1K30**) a następnie wybrać plik o rozszerzeniu *sof* i nazwie projektu potwierdzając wybór wciśnięciem przycisku **Add** (rys.5).



Rys.5 - Wybór pliku konfigurującego układ FPLD