

Jerzy Chrząszcz

# **TECHNIKA MIKROPROCESOROWA**

Materiały pomocnicze do wykładu

INSTYTUT INFORMATYKI  
WYDZIAŁ ELEKTRONIKI I TECHNIK INFORMACYJNYCH  
POLITECHNIKA WARSZAWSKA  
WARSZAWA 2010

dr inż. Jerzy Chrzęszcz pokój 310, tel. 222345562, konsultacje: piątek 12:15-14:00

## Charakterystyka przedmiotu

Cel: prezentacja zasad projektowania i uruchamiania systemów mikroprocesorowych.

Wymiar: 2 godziny wykładu + 2 godziny laboratorium tygodniowo.

Ocena końcowa: kolokwium (20%) + laboratorium (30%) + kolokwium (50%).

Dodatkowym warunkiem zaliczenia przedmiotu jest zaliczenie laboratorium.

Powiązania z innymi przedmiotami:

- architektura komputerów
- teoria układów logicznych
- cyfrowe układy scalone
- programowanie w języku assemblerowym

Formuła wykładu: prezentacja zasad i mechanizmów na przykładzie konkretnych rozwiązań.

## Literatura

- K. Fedyna, M. Mizeracki - Układy mikroprocesorowe Z80, WKiŁ 1989.
- T. Starecki - Mikrokontrolery 8051 w praktyce, btc 2002.
- G. Mazur, M. Pawłowski - System SML3, dokumentacja techniczna (PDF).
- J. Bogusz - Lokalne interfejsy szeregowy w systemach cyfrowych, btc 2004.
- P. Hadam - Projektowanie systemów mikroprocesorowych, btc 2004.

## Program wykładu

- Wprowadzenie: podstawowe pojęcia, miejsce mikroprocesora w technice cyfrowej, klasyfikacja układów VLSI, typowe obszary zastosowań mikroprocesorów.
- Organizacja systemów mikroprocesorowych: szyny systemu, podstawowe bloki, moduły czynne i bierne, hierarchia pamięci. Architektura i działanie procesora Z80: model programowy, przestrzeń adresowa, lista instrukcji, start systemu.
- Szyna systemu na przykładzie Z80: rodzaje sygnałów, cykle transmisji na szynie, wydłużanie cykli, przekazywanie kontroli nad szyną, dekodowanie obszarów w przestrzeni adresowej. Porównanie wybranych procesorów 8-bitowych: i8085, Z80, MC6800.
- Współpraca procesora z pamięcią: rodzaje pamięci ROM i RAM, budowa i cykle dostępu pamięci statycznej, łączenie pamięci z szyną Z80, pamięć dynamiczna, sterownik pamięci dynamicznej.
- Zasady współpracy procesora z urządzeniami wejścia/wyjścia: aktywne oczekiwanie, przerwania, bezpośredni dostęp do pamięci. Proste urządzenia wejścia/wyjścia z układami SSI/MSI. Programowany interfejs wejścia/wyjścia – układ i8255.
- Sposoby realizacji systemu przerwań. System przerwań Z80. Sterownik obsługi przerwań: budowa i funkcje - układ i8259A. Podstawy programowej obsługi przerwań.
- Mikrokomputer jednoukładowy: przyczyny i zalety integracji, typowa organizacja i podstawowe charakterystyki użytkowe. Architektura i działanie mikrokomputera MSP430F1611 – model programowy, mapa pamięci, lista instrukcji, start systemu, sterowanie konfiguracją, porty, system przerwań.
- Zależności czasowe w systemach mikroprocesorowych: programowy i sprzętowy pomiar czasu, programowany licznik - układy i8254. Układy czasowe w MSP430F1611 – budowa i funkcje, sterowanie taktowaniem. Zegar czasu rzeczywistego.
- Transmisja szeregowy: standardy elektryczne i informacyjne, transmisja synchroniczna i asynchroniczna, budowa i funkcje sterownika UART - układ 16450. Interfejsy szeregowy w MSP430F1611.
- Zarządzanie systemem: monitorowanie napięcia zasilania, zasada działania i wykorzystanie układu watchdog, obsługa sytuacji wyjątkowych w MSP430F1611, tryby zmniejszonego poboru mocy.
- Procesory 16- i 32-bitowe: mechanizmy przyspieszające pracę procesora, przystosowanie do pracy w systemach wieloprocessorowych – na przykładzie rodziny H8. Procesory specjalizowane: przyczyny i przejawy specjalizacji, procesor graficzny, procesor sygnałowy.
- Projektowanie i uruchamianie systemów: metodyka projektowania, analiza wymagań, formułowanie założeń projektowych, narzędzia wspomagające uruchamianie. Przykładowy system mikroprocesorowy.

## Program laboratorium

- Zajęcia wstępne: zasady korzystania z laboratorium, SML3 – organizacja systemu i wspomaganie uruchamiania.
- Jednostka centralna systemu mikroprocesorowego: procesor Z80, stany WAIT i HALT procesora, współpraca z pamięcią, praca krokowa.
- Współpraca Z80 z układami wejścia/wyjścia: dekodowanie adresów, obsługa bitowych układów wejścia/wyjścia z elementami SSI/MSI.
- Współpraca mikrokontrolera MSP430F1611 z układami wejścia/wyjścia: obsługa wejść/wyjść bitowych i łącza ze strobem.
- Generowanie i pomiar odcinków czasu z użyciem MSP430F1611: wyświetlanie dynamiczne, obsługa klawiatury matrycowej, wykorzystanie systemu przerwań.
- Transmisja szeregową w MSP430F1611: łącze RS-232, wbudowany sterownik transmisji szeregowej, wykorzystanie systemu przerwań.
- Zarządzanie systemem MSP430F1611: wykorzystanie układu watchdog, obsługa sytuacji wyjątkowych, rozpoznawanie kontekstu restartu, programowanie wbudowanej pamięci FLASH.

# Miejsce mikroprocesora w technice

## Klasyfikacja układów scalonych

- zasada działania: cyfrowe / analogowe / mieszane
- technologia wytwarzania: TTL / MOS / ECL / CMOS / BiCMOS / GTL...
- skala integracji: SSI / MSI / LSI / VLSI / ULSI / WSI
- zakres funkcji: ustalony / zmienny / programowany
- przeznaczenie: uniwersalne / specjalizowane

## Pojęcia podstawowe

- Mikroprocesor - cyfrowy układ scalony wielkiej skali integracji, którego działanie określa program przechowywany w pamięci; mikroprocesor jest układem czynnym, tzn. pobiera kody rozkazów z pamięci.
- Sterownik (układ sprzęgający) - programowany scalony układ cyfrowy wielkiej skali integracji; sterownik jest układem biernym, tzn. wymaga zaprogramowania.
- System mikroprocesorowy - mikroprocesor wraz z układami towarzyszącymi: pamięcią programu, pamięcią danych i układami wejścia/wyjścia.
- Mikrokomputer (system mikrokomputerowy) - system mikroprocesorowy z programem sterującym zapisanym w pamięci stałej.
- Mikrokomputer jednoukładowy - układ scalony zawierający mikroprocesor wraz z pewnymi układami towarzyszącymi.

## Układy wejścia/wyjścia

Typowe układy wejścia/wyjścia

- we/wy binarne (przełączniki, lampki)
- we/wy równoległe (drukarka, ploter)
- we/wy szeregowo (mysz, tablet, modem)
- we/wy analogowe (pomiary i sterowanie)
- układy zegarowe (odliczanie i pomiar czasu)
- we/wy graficzne (skaner, monitor)

Podsystemy wejścia/wyjścia

- autonomicznie realizują pewne dodatkowe funkcje
- sterownik pamięci masowej (buforowanie danych)
- skaner (kompresja danych)
- modem (kompresja danych, wykrywanie i korekcja błędów)
- sterownik graficzny (sprzętowe wspomaganie grafiki, tuner video)
- adapter dźwiękowy (synteza szumów, tuner radiowy)

## Zastosowania mikroprocesorów

Komputery - programowane przez użytkownika

- mikrokomputery osobiste (ZX Spectrum 2.5 MHz → Pentium 2.5 GHz)
- systemy o dużej wydajności (fraktale, dynamika płynów, grafika komputerowa, przewidywanie pogody)

Systemy wbudowane - bez możliwości programowania przez użytkownika końcowego

- sprzęt komputerowy (klawiatura, mysz, drukarki igłowe, drukarki laserowe, sterowniki dyskowe, graficzne, sieciowe...)
- sprzęt laboratoryjny (multimetry, oscyloskopy, generatory, analizatory...)
- telekomunikacja (aparaty abonenckie, centrale, telefaksy, modemy, poczta głosowa, systemy przywoławcze, telefonia bezprzewodowa i komórkowa)
- sprzęt powszechnego użytku (audio, video, aparaty fotograficzne, pralki, kuchenki...)
- motoryzacja, sterowniki przemysłowe, instalacja wojskowe i kosmiczne (duży poziom zakłóceń, duży zakres temperatur, podwyższona niezawodność)

## Organizacja systemu mikroprocesorowego

### Działanie mikroprocesora a wyprowadzenia zewnętrzne

- mikroprocesor pobiera rozkazy z pamięci i wykonuje je:
  - adresuje pamięć
  - odczytuje i/lub zapisuje zawartość określonych komórek
- linie adresowe (wyjścia) - przesyłanie adresu
- linie danych (wejścia/wyjścia) - przesyłanie danych
- linie sterujące:
  - wyjścia - wskazują typ cyklu (rodzaj przesłania)
  - wejścia - umożliwiają badanie stanu układów zewnętrznych

### multipleksowanie sygnałów

- w różnych fazach cyklu transmisji wyprowadzenia układu spełniają różne funkcje
- umożliwiają zredukowanie liczby końcówek układu scalonego
- potencjalnie spowalniają działanie interfejsu szyny

### Struktura systemu mikroprocesorowego

Najprostszy przypadek: tylko procesor i pamięć

- pamięć stała (tylko odczyt) - potrzebne adresy (wejścia) i dane (wyjścia)
- pamięć RAM (odczyt i zapis) - adresy (wejścia), dane (wejścia/wyjścia) i co najmniej jeden sygnał sterujący (wejście) rozróżniający cykle odczytu i zapisu

Moduł czynny - ustawia stany linii adresowych i sterujących (procesor, sterownik DMA)

- adresy (wyjścia)
- dane (wejścia/wyjścia)
- sygnały sterujące (wejścia i wyjścia)

Moduł bierny - odpowiada na cykle szyny inicjowane przez moduł czynny

- adresy (wejścia)
- dane (wejścia i/lub wyjścia)
- sygnały sterujące (liczba i zestaw zależne od specyfikacji modułu)

### Szyny systemu

- szyna danych (8/16/24/32/64 bity) - linie dwukierunkowe, trójstanowe
- szyna adresowa (16/20/24/32 bity) - wyjścia dwustanowe lub trójstanowe (jeżeli istnieje możliwość odłączenia układu od szyny); niekiedy linie dwukierunkowe
- sygnały sterujące (pseudo-szyna) - różna liczba
  - sygnały dostępu: rozróżnianie odczytu i zapisu, pamięci programu, pamięci danych i układów wejścia/wyjścia; wyjścia dwustanowe lub trójstanowe (jeżeli istnieje możliwość odłączenia układu od szyny)
  - sygnały stanu - inne informacje o kontekście pracy procesora
  - zerowanie (procesora, układów zewnętrznych) - wejście lub we/wy, z reguły OC
  - przerwania - sygnalizacja zgłoszenia (linie lub linie wejściowe, z reguły sterowane z linii OC)
  - i potwierdzenie przyjęcia (oddzielna linia wyjściowa lub kombinacja stanów innych linii sterujących) - przejęcie szyny - zgłoszenie żądania (wejście procesora sterowane przez sterownik DMA lub układ arbitrażu) i potwierdzenie zwolnienia szyny (wyjście procesora)
  - inne sygnały: obsługa transmisja DMA, sygnały zegarowe, sygnały pracy krokowej,
- zasilanie (typowo +5V lub +3V i masa, niekiedy dodatkowo +12V, -12V)

Ogólny schemat systemu mikroprocesorowego

- szyny systemu + procesor + inne moduły czynne + moduły bierne

## Szyna systemu - cykle transmisji

### Działanie procesora a aktywność szyny

Fazy wykonania rozkazu

- pobranie kodu rozkazu
- dekodowanie
- pobranie operandów
- wykonanie operacji
- zapis wyniku

Rzeczywista realizacja zależy od rodzaju operacji i trybów adresowania. Niektóre instrukcje nie wymagają wskazywania argumentów (np. HALT - brak argumentu, CCF - argument implikowany); przy przesłaniach nie występuje faza przetwarzania.

Rodzaje rozkazów

- przesyłanie
- przetwarzanie
- sterowanie
- operacje wejścia/wyjścia

Podstawowe tryby adresowania

- natychmiastowe (operand w kodzie instrukcji)
- bezpośrednie (adres operandu w kodzie instrukcji)
- pośrednie (adres operandu w rejestrze lub pamięci)
- indeksowe (przemieszczenie w kodzie, adres bazowy w rejestrze)

Rodzaje aktywności na szynie

- odczyt danych z pamięci lub układu wejścia/wyjścia
- zapis danych do pamięci lub układu wejścia/wyjścia
- pobranie kodu instrukcji (odczyt danych z pamięci programu)
- przyjęcie przerwania
- wstrzymanie pracy procesora
- przejęcie kontroli nad szyną systemu

### Cykle szyny

Oznaczenia stosowane na diagramach czasowych

- stany ustalone
- zmiany stanu
- stany dowolne

Podstawowe cykle szyny

- odczyt i zapis danych (wydłużanie cykli dostępu, dostęp słowowy i bajtowy)
- MC68000 - jednolite adresowanie pamięci i układów wejścia/wyjścia
- Z80 - dostęp do pamięci (odmienny przebieg cyklu pobrania instrukcji), dostęp do układów wejścia/wyjścia (automatyczne wstawianie taktów oczekiwania)
- i8051 - multiplexowana szyna adresów i danych, rozdzielone przestrzenie adresowe kodu i danych

Inne cykle szyny

- odczyt/modyfikacja/zapis - instrukcja TAS w MC68000
- potwierdzenie przyjęcia przerwania - dekodowanie stanu linii FC w MC68000, dekodowanie -IORQ i -M1 w Z80 (dwa dodatkowe takty oczekiwania)
- zatrzymanie procesora (HALT) - odświeżanie pamięci dynamicznych w Z80
- przejęcie kontroli nad szyną systemu (HOLD) – Z80, MC68000

### Przyspieszanie działania szyny

- przesłania asynchroniczne, pseudosynchroniczne i synchroniczne
- przesłania blokowe (transmisja wiązkowa MC68030, potokowanie adresów i80386, zewnętrzny inkrementer adresu Am29000)

### Dynamiczna zmiana szerokości szyny danych

(współpraca procesora 32-bitowego z urządzeniem 8/16-bitowym)

- procesor sygnalizuje typ transferu (bajt/słowo/długie słowo)
- urządzenie potwierdza możliwość zakończenia transferu lub sygnalizuje szerokość szyny danych

### Konwencje współpracy modułów biernych z szyną

- system normalnie gotowy: cykl transmisji jest wydłużany w razie potrzeby (procesor nie czeka na zapas - prosta implementacja, potencjalnie większa szybkość działania)
- system normalnie niegotowy: cykl transmisji jest kończony po potwierdzeniu przez moduł bierny (procesor czeka do skutku - kłopotliwa implementacja, potencjalnie większa niezawodność działania)

### Priorytety operacji na szynie

- wydłużanie cykli dostępu
- żądanie przekazania kontroli nad szyną
- zgłoszenie przerwania niemaskowalnego
- zgłoszenie przerwania maskowalnego

### Dekodowanie adresów

Na podstawie adresu i typu cyklu transmisji należy uaktywnić odpowiedni układ (pamięć, wejście/wyjście). Bardziej znaczące bity adresowe są doprowadzone do dekodera adresów, mniej znaczące bity adresowe są dołączone bezpośrednio do układu, wyjście dekodera jest połączone z wejściem wybierającym układu.

- dekodowanie pełne: z użyciem wszystkich bardziej znaczących bitów adresu (urządzenie jest dokładnie odwzorowane w przestrzeni adresowej)
- dekodowanie niepełne: z użyciem niektórych bitów adresu (urządzenie jest wielokrotnie odwzorowane w przestrzeni adresowej)
- dekodowanie liniowe: z użyciem jednej linii adresowej (każde urządzenie zajmuje 'połowę' przestrzeni adresowej)
- dekodowanie współrzędnościowe jako technika implementacji dekodatorów

# Pamięć w systemach mikroprocesorowych

## Hierarchia pamięci

Jakościowe cechy pamięci

- mechanizm dostępu: swobodny, sekwencyjny, asocjacyjny
- technologia wykonania: magnetyczna, optyczna, półprzewodnikowa (bipolarna/unipolarna...)

Ilościowe cechy pamięci

- pojemność: półprzewodnikowe → MB, GB, magnetyczne i optyczne → GB, TB
- czas dostępu: nadprzewodnikowe → ps, półprzewodnikowe → ns, magnetyczne → ms

Klasy pamięci w systemach mikroprocesorowych

- rejestry
- pamięci podręczne (kieszenie)
- pamięć operacyjna
- pamięć masowa
- zasoby sieciowe

## Rodzaje pamięci półprzewodnikowych

Pamięci stałe - tylko odczyt

- programowane przez producenta (ROM / mask-ROM)
- jednokrotnie programowane przez użytkownika (PROM, OTPROM)
- wielokrotnie programowane przez użytkownika (EPROM, UV-PROM)

Pamięci ulotne - równoprawny odczyt i zapis

- statyczne (SRAM)
- pseudostatyczne (PSRAM)
- dynamiczne (DRAM)

Pamięci nieulotne - odczyt i zapis - optymalizowane na odczyt

- reprogramowane w systemie docelowym (EEPROM / E2PROM, FLASH / PEROM)
- pamięci statyczne RAM z podtrzymaniem baterijnym (NOVRAM)
- pamięci hybrydowe (NVRAM = SRAM + EEPROM)

## Współpraca procesora z pamięcią statyczną

Schemat cyklu odczytu

- procesor ustawia stan linii adresowych i sygnalizuje ważność adresu
- procesor ustawia strob odczytu danych
- wybrany układ ustawia stan linii danych
- układ zgłasza gotowość do zakończenia cyklu albo żąda wydłużenia cyklu
- procesor odczytuje stan linii danych
- procesor wycofuje strob odczytu

Schemat cyklu zapisu

- procesor ustawia stan linii adresowych i sygnalizuje ważność adresu
- procesor ustawia stan linii danych
- procesor ustawia strob zapisu danych
- wybrany układ odczytuje stan linii danych
- układ zgłasza gotowość do zakończenia cyklu albo żąda wydłużenia cyklu
- procesor wycofuje strob zapisu



#### Dołączanie pamięci do szyny

- pamięć ROM: CE - z dekodera adresów, OE - strob odczytu
- pamięć RAM: CE - z dekodera adresów, OE - strob odczytu, WE - strob zapisu.

Współczesne układy SRAM umożliwiają inicjowanie cyklu zapisu przez uaktywnienie WE przy aktywnym CE lub uaktywnienie CE przy aktywnym WE

#### Parametry czasowe związane z cyklem dostępu

- czas dostępu od strobu
- czas dostępu od adresu
- czas aktywacji i deaktywacji wyjść trójstanowych
- wpływ zewnętrznych buforów na czas dostępu

### Współpraca procesora z pamięcią dynamiczną

#### Budowa i zasada działania DRAM

- budowa: matryca pamięci, bufor wiersza, zatrząsk adresu, układy sterujące
- uproszczona struktura komórki pamięci
- konieczność odświeżania zawartości
- zmniejszona liczba wyprowadzeń zewnętrznych
- zatrząskwanie adresu wiersza i/lub kolumny

#### Cykle dostępu

- cykl podstawowy: RAS / CAS
- page mode: RAS / CAS / CAS...
- static column: RAS / CAS (adres kolumny nie jest zatrząskiwany)
- nibble mode: RAS / CAS (dostęp do kolejnych lokacji bez adresowania)
- EDO / hyper-page: wydłużony czas utrzymania danych po zakończeniu cyklu

#### Odświeżanie zawartości pamięci

- RAS-on/y refresh: dostęp powoduje odświeżenie zaadresowanego wiersza
- CAS-before-RAS refresh: adres odświeżanego wiersza generowany wewnętrznie
- hidden refresh: cykle odświeżania są wplatanie w cykle użyteczne

#### Sterowniki pamięci DRAM

- budowa: układ sterujący, multiplekser adresów, dekodery, buforów wyjściowe
- funkcje: przetwarzanie sygnałów sterujących, przełączanie adresów, odświeżanie pamięci, detekcja i korekcja błędów
- wymagania elektryczne: duże obciążenie pojemnościowe wyjść, szeregowe dopasowanie wyjść buforów

### Nowe technologie pamięci półprzewodnikowych

- integracja pamięci podręcznej i pamięci operacyjnej (CDRAM)
- rozbudowa wewnętrznych funkcji układów pamięciowych (VRAM, WRAM...)
- zmiana reżimu działania (SDRAM, DDR)
- zmiana poziomów elektrycznych (RAMBUS)

## Porównanie wybranych procesorów 8-bitowych

### Architektura procesora - przeznaczenie i połączenia bloków funkcjonalnych

- licznik instrukcji
- rejestr instrukcji
- akumulator i znaczniki
- rejestry
- interfejs szyny
- sterowanie

### Procesor Intel i8085

- ulepszona wersja i8080 – zgodność programowa, kilkanaście dodatkowych instrukcji
- wbudowany układ zegarowy, sterownik szyny, sterownik przerwań i sterownik łącza szeregowego
- 8-bitowe rejestry robocze: A (akumulator), B, C, D, E, H, L
- start systemu od adresu 0000
- rozkazy 1..3-bajtowe
- znaczniki Z, S, CY, P, AC (przeniesienie połówkowe): brak znacznika nadmiaru w kodzie U2
- sygnały sterujące: IO/-M, -RD, -WR, -INTA
- multipleksowana szyna adresów/danych AD0..7; sygnał ALE
- przerwanie niemaskowalne (TRAP), trzy przerwania maskowalne z automatycznie generowanym adresem restartu (RST5.5, RST6.5, RST7.5) i jedno przerwanie maskowalne obsługiwane w trybie i8080 (INTR) przez wykonywanie instrukcji odczytywanych sygnałem -INTA
- sygnał zegarowy generowany wewnętrznie (wystarczy dołączyć rezonator)

### Procesor Zilog Z80

- wzbogacona architektura i lista instrukcji i8080
- przybliżona zgodność programowa z i8080 (różne znaczniki)
- podwójny zestaw rejestrów roboczych A, F (znaczniki), B, C, D, E, H, L
- dodatkowe rejestry 8-bitowe (I, R) i 16-bitowe (IX, IY)
- dodatkowe instrukcje (operacje bitowe, łańcuchowe, skoki względne...)
- sygnały sterujące: -MREQ, -IORQ, -RD, -WR
- obsługa przerwań: przerwanie niemaskowalne (-NMI) i przerwanie maskowalne (-INT) z możliwością obsługi w trzech trybach; brak dedykowanego sygnału potwierdzenia przyjęcia przerwania
- znaczniki: Z, S, C, P, V (nadmiar U2), H, N (rozróżnianie dodawania i odejmowania)
- sygnał zegarowy doprowadzany z zewnątrz

### Procesor Motorola MC6800

- dwa akumulatory (A, B) i 16-bitowy rejestr indeksowy (X)
- pierwsza strona zewnętrznej pamięci (256 B) traktowana jak rejestry robocze
- jednolite adresowanie pamięci i układów wejścia/wyjścia
- start systemu: od adresu zapisanego w komórkach pamięci FFFE<sub>H</sub>, FFFF<sub>H</sub>
- obsługa przerwań: przerwanie niemaskowalne (NMI) i maskowalne (INT)
- 'przerwanie programowe' (SWI) - składowanie rejestrów na stosie
- sygnały sterujące: R/-W, -VMA, E
- znaczniki: Z, N, C, V, H, I (maska przerwań)

**Lista instrukcji procesora Z80**

- transfery 8-bitowe  
LD dst,src EX AF,A'F' EXX
- transfery 16-bitowe  
LD dst,src EX DE,HL
- operacje arytmetyczne 8-bitowe (wynik w A)  
ADD ADC SUB SBC NEG INC DEC DAA
- operacje arytmetyczne 16-bitowe (wynik w HL)  
ADC SBC INC DEC
- operacje logiczne 8-bitowe  
AND OR XOR CPL SET RES BIT CP  
RL RR RLC RRC RLD RRD SLA SRA SRL
- sterowanie  
NOP HALT DI EI IM SCF CCF
- skoki  
JP adr JR adr JP cc,adr JR cc,adr DJNZ adr
- operacje na stosie  
PUSH POP CALL adr RET CALL cc,adr RET cc  
RST EX (SP),rr
- operacje wejścia/wyjścia  
IN A,(n) OUT A,(n) IN r,(C) OUT r,(C)
- operacje łańcuchowe (BC-licznik, HL-adres źródłowy, DE-adres docelowy)  
LDI LDIR LDD LDDR CPI CPIR CPD CPDR  
INI INIR IND INDR OUTI OTIR OUTD OTDR  
(B-licznik, C-adres portu)

# Współpraca procesora z urządzeniami wejścia/wyjścia

## Wprowadzenie

Rodzaje urządzeń

- kierunek transferu danych: wejście, wyjście, dwukierunkowe
- szybkość transmisji (ocena zależy od specyfiki urządzenia)
- tryb transmisji: znakowy, blokowy

Dołączanie urządzeń do systemu

- urządzenie zewnętrzne (sygnały specyficzne dla urządzenia)
- układ sprzęgający (sterownik)
- sygnały szyny systemu

## Budowa sterownika wejścia/wyjścia

Model programowy

- rejestr(y) danych
- rejestr(y) sterujące
- rejestr(y) stanu

Sygnały zewnętrzne

- linie danych
- linie adresowe
- stroby dostępu i/lub sygnał wybrania układu
- zerowanie, zegar, przerwania...

## Współpraca procesora ze sterownikiem

Synchroniczna

- procesor cyklicznie sprawdza stan urządzenia (aktywne oczekiwanie)
- po stwierdzeniu gotowości procesor realizuje transfer
- prostota rozwiązania vs mała wydajność, możliwość zakleszczeń

Asynchroniczna

- urządzenie sygnalizuje gotowość do transmisji procesorowi (przerwanie) lub sterownikowi DMA
- procesor lub sterownik realizuje transfer
- zwiększenie wydajności vs implementacja systemu przerwań lub DMA

Obsługa wielu urządzeń

- czas reakcji systemu powinien zależeć od ważności urządzeń
- obsługa synchroniczna - odpowiednia kolejność przeglądania
- obsługa asynchroniczna - odpowiednie priorytety zgłoszeń

## Identyfikacja źródła przerwania

Jedna linia przerwania

- identyfikacja programowa: przeglądanie w kolejności malejących priorytetów
- identyfikacja sprzętowa: zewnętrzny układ (sterownik przerwań) rozstrzyga o kolejności zgłoszeń
- priorytet szeregowy: wynika z położenia układów w łańcuchu

Wiele linii przerwań

- wbudowany sterownik przerwań - automatyczna identyfikacja źródła

## System przerwania MC68000

- -IPL0..2 priorytet zgłoszenia: 0-brak przerwania, 7-przerwanie niemaskowalne
- 3-bitowa maska przerwania w rejestrze stanu, przy zerowaniu inicjowana na 7
- zgłoszenie jest przyjmowane, jeżeli poziom jest nie mniejszy od stanu maski
- obsługa analogiczna do obsługi innych sytuacji wyjątkowych, wektor pobierany z zewnątrz w cyklu IACK, albo automatycznie generowany na podstawie poziomu zgłoszenia (w trybie autowektoryzacji)

## System przerwania Z80

Przerwanie niemaskowalne -NMI

- po zgłoszeniu skok ze śladem do adresu 66H
- stan maski przerwania jest zachowywany
- wykonaniu instrukcji RETN powoduje odtworzenie stanu maski przerwania

Przerwanie maskowalne -INT

- zablokowanie DI, odblokowanie EI (ustawiane są oba przerzutniki IFF)
- przyjęcie przerwania powoduje zablokowanie przerwania
- IM 0 - obsługa podobna do i8080: procesor pobiera instrukcje z szyny
- IM 1 - skok ze śladem do adresu 38H
- IM 2 - zawartość rejestru I wraz z wektorem przerwania pobranym w cyklu INTA tworzą adres adresu procedury obsługi przerwania
- po zerowaniu systemu przerwania są zablokowane (DI, IM 0)
- układy peryferyjne serii Z80 są przystosowane do łączenia w łańcuchach priorytetowy IEI – IEO (poziom niski blokuje propagację)
- instrukcja RETI jest dekodowana przez układy peryferyjne Z80

## Programowany sterownik przerwania i8259A

Budowa

- rejestr zgłoszeń IRR (przerwania zgłoszone i nie obsłużone)
- układ rozstrzygania priorytetów
- rejestr obsługi ISR (przerwania aktualnie obsługiwane)
- rejestr maski IMR (indywidualne maskowanie przerwania)
- w cyklu INTA odpowiedni bit jest przepisywany do ISR i zerowany w IRR

Funkcje

- 8 wejść aktywnych wysokim poziomem lub narastającym zboczem
- rozstrzygnięcie priorytetów zgłoszeń (różne tryby pracy)
- przystosowanie do współpracy z i8080/85 oraz i8086
- możliwość kaskadowania: do 8 układów podrzędnych (max. 64 wejścia przerwania)

Tryby pracy

- zagnieżdżanie przerwania
- rotacja automatyczna: obsłużony na koniec kolejki
- rotacja jawna: wskazanie linii o najniższym priorytecie (początkowo IR7)
- maskowanie zwykłe: blokowanie przerwania o priorytecie mniejszym lub równym
- maskowanie specjalne: blokowanie przerwania o priorytecie równym
- kaskadowanie: układ nadrzędny -SP=1, CAS0..2 wyjścia, podrzędny - odwrotnie
- tryb 8080/85 - trzy cykle INTA: kod CALL i dwa bajty adresu
- tryb 8086 - dwa cykle INTA, w drugim cyklu jest przesyłany wektor przerwania
- sprzężenie z Z80 - dodatkowy układ  
(po odebraniu kodu CALL procesor Z80 nie generuje cykli INTA tylko cykle odczytu z pamięci)

#### Programowanie

- dwie lokacje w przestrzeni adresowej
- inicjalizacja przy starcie systemu (ICW1..4)
- sterowanie działaniem układu podczas pracy (OCW1..3)
- non-specific EOI - koniec obsługi przerwania o najwyższym priorytecie
- specific EOI - koniec obsługi przerwania o wskazanym priorytecie
- automatic EOI- tylko układ nadrzędny (po ostatnim cyklu INTA)
- w przypadku kaskadowania oddzielne EOI dla układu nadrzędnego i podrzędnego

# Transmisja równoległa i szeregową

## Wprowadzenie

### Rodzaje transmisji

- simpleks - transmisja jednokierunkowa
- półdupleks (duosimpleks) - transmisja naprzemienna w jednym kanale
- duplex - równoczesne nadawanie i odbieranie w dwóch kanałach

### Rodzaje sygnalizacji

- bez sygnalizacji po stronie urządzenia - wyłącznie dane
- sygnalizacja gotowości:
- urządzenie wejściowe - zapis danych powoduje zgłoszenie przerwania
- urządzenie wyjściowe - odczyt danych powoduje zgłoszenie przerwania
- przesyłanie z potwierdzaniem

## Transmisja równoległa

- mała odległość
- duża szybkość transmisji
- mała odporność na zakłócenia
- typowy zestaw sygnałów:
  - linie danych (8/16/24/32 bity)
  - linie sterujące
  - zasilanie, masa sygnałowa, masa ochronna
- przykład: Centronics - jednokierunkowe łącze 8-bitowe z potwierdzaniem.
- przykład: SCSI (Small Computer Systems Interface) - dwukierunkowe łącze 8-bitowe z dopasowaniem impedancyjnym, 10MB/s na odległość 6 m przy sterowaniu asymetrycznym, do 25 m przy sterowaniu symetrycznym (RS-485), łącze Wide SCSI 16-bitowe 20 MB/s
- przykład: IEEE488 - GPIB (General Purpose Interface Bus) - dwukierunkowe łącze 8-bitowe, 8 linii sterujących, 1.5 MB/s

## Transmisja szeregową

- duża odległość
- mała szybkość transmisji
- duża odporność na zakłócenia
- typowy zestaw sygnałów:
  - linie danych (1 bit)
  - linie sterujące
  - masa sygnałowa, masa ochronna
- przykład: RS-232 - łącze duplexowe, asymetryczny sygnał napięciowy: +/-12 V, ograniczanie szybkości narastania w celu zmniejszenia przesłuchów, odległość i szybkość transmisji jest ograniczona pojemnością kabla (2500 pF), typowo 115 kb/s na odległość 15..30 m.
  - DTE (Data Terminal Equipment) – urządzenie końcowe transmisji danych (np. komputer)
  - DCE (Data Communication Equipment) – urządzenie pośredniczące (np. modem)
- przykład: RS-423 - łącze duplexowe, nadajniki asymetryczne - odbiorniki różnicowe, 120 kb/s na odległość 30 m, 3 kb/s na odległość 1200 m.
- przykład: RS-422 - łącze simpleksowe z dopasowaniem impedancyjnym, sterowanie różnicowe, możliwość wysterowania 10 odbiorników, do 10 Mb/s na odległość 1200 m.
- przykład: RS-485 - łącze półduplexowe z możliwością dołączania wielu nadajników i odbiorników, symetryczne sterowanie prądowe, odległość i szybkość transmisji zależą od liczby odbiorników i parametrów kabla, typowo do 1200 m.

## Proste układy równoległego wejścia/wyjścia

### Port wejściowy

- współpraca z szyną danych - wyjścia trójstanowe
- bufor - sygnały wejściowe mogą być niestabilne
- rejestr - zmiana zawartości może nastąpić podczas odczytu
- zatrask - na czas odczytu stan linii jest zapamiętywany
- ustalanie stanu pasywnego - oporniki podciągające
- eliminacja drgań styków mechanicznych - wielokrotny odczyt
- przykład: przesyłanie kodu RST w cyklu INTA
- przykład: odczytywanie stanu klawiatury

### Port wyjściowy

- konieczność zapamiętania danych - rejestr lub zatrask
- operacje bitowe na zawartości portu - konieczność przechowywania kopii
- rejestry z odczytem zwrotnym: 74LS793, 74LS794
- zatraski adresowalne (demultiplekser + zatrask): 74F256
- przykład: sterowanie wyświetlacza dynamicznego

### Port dwukierunkowy

- odpowiada na cykle zapisu i cykle odczytu
- rejestry/zatraski dwukierunkowe: 74LS646
- wymaga sygnalizacji po stronie urządzenia zewnętrznego
- przykład: sprzęganie szyn trójstanowych

### Dekodowanie

- adres portu (odpowiednie bity adresowe)
- sygnał ważności adresu / sygnał wyboru przestrzeni adresowej
- strob zapisu lub strob odczytu danych

### Kryteria doboru elementów

- liczba bitów: 4/6/8/9/10/16/18
- funkcja: bufor, rejestr, zatrask
- sposób sterowania: zerowanie, bramkowanie zegara, dodatkowe wejścia
- technologia wykonania (parametry czasowe, obciążalność, pobór mocy): S, LS, ALS, F, HC, HCT, ACT, FCT, LVT, BCT, ABT, GTL...
- typ wejść: standardowe, z histerezą
- typ wyjść: polaryzacja, obciążalność (może być różna dla różnych linii), konfiguracja stopnia wyjściowego (standardowy, otwarty kolektor/dren, trójstanowy, z rezystorem szeregowym)
- zakres temperatur pracy



## Programowane sterowniki równoległego wejścia/wyjścia

### Układ Intel i8255

- struktura: trzy porty 8-bitowe A, B, C + rejestr sterujący
- interfejs szyny: -RD, -WR, -CS, A0, A1, RESET
- port C podzielony na dwie grupy używane do sygnalizacji w trybie 1 i 2
- ustawianie stanu pojedynczych linii portu C przez zapis do rejestru sterującego
- tryby pracy:
  - 0 - proste wejście/wyjście,
  - 1 - transmisja jednokierunkowa z potwierdzaniem i sygnalizacją przerw (A, B)
  - 2 - transmisja dwukierunkowa z potwierdzaniem i sygnalizacją przerw (A)
- uwagi eksploatacyjne
  - zmiana trybu zeruje rejestry wyjściowe
  - zaprogramowanie trybu wyjściowego powoduje zerowanie rejestru
  - w trybie 0 można odczytać stan wyjść portu
  - sterowanie: -CS nie później niż -RD lub -WR

### Układ Zilog Z80-PIO

- struktura: dwa porty 8-bitowe z dedykowanymi liniami sterującymi -STB, RDY
- interfejs szyny: -RD, -IORQ, -M1, -CE, B/-A, C/-D, -INT, IEI, IEO, CLK (brak -WR, -RESET)
- tryby pracy:
  - wejścia/wyjścia binarne z niezależnym ustawianiem kierunku,
  - transmisja jednokierunkowa z potwierdzaniem i sygnalizacją przerw,
  - transmisja dwukierunkowa z potwierdzaniem i sygnalizacją przerw (port A)
- przerwania: niezależne wektory przerw dla portu A i portu B, wykrywanie wzorców binarnych z maskowaniem linii
- potwierdzenie przyjęcia przerwania: aktywne -M1 i -IORQ
- zerowanie: aktywne -M1 przy nieaktywnym -RD i -IORQ

## Programowane sterowniki transmisji szeregowej

### Wprowadzenie

- transmisja synchroniczna i asynchroniczna
- format transmisji asynchronicznej: bit startu, bity danych, bit parzystości, bit(y) stopu
- przykład: łącze RS-232 → złącze szufladowe 25-krotne - dane (TxD, RxD), sterowanie (DSR, DTR, RTS, CTS), synchronizacja (TxC, RxC), masa (SGND, PGND), testowanie, linie rezerwowe

### Podstawowe funkcje sterownika

- konwersja postaci danych (szeregowo-równoległa)
- buforowanie danych nadawanych i odbieranych
- monitorowanie przebiegu transmisji

### Dodatkowe funkcje sterownika

- generowanie i usuwanie znaków synchronizacji
- wyznaczanie wartości CRC
- diagnostyczne tryby pracy - zapętlenie
- wbudowany generator zegara transmisji
- rozróżnianie danych i adresów - transmisja w trybie multi-drop

### Przegląd sterowników scalonych

- układ Western Digital WD8250 UART (16450)
- układy Zilog Z80-DART, Z80-SCC, Z80-SIO
- układ Motorola MC68681 DUART

## Zależności czasowe w systemach mikroprocesorowych

### Programowa realizacja zależności czasowych

- opóźnienia: pętla programowa
- pomiar czasu: cykliczne odczytywanie stanu linii
- aktywne oczekiwanie procesora podczas opóźnień
- niewielka dokładność pomiaru czasu
- wpływ częstotliwości zegara systemu
- konieczność blokowania przerwań
- inne trudności: zachowanie stanu rejestrów, operacje na stosie, różne czasy wykonania skoku

### Sprzętowa realizacja zależności czasowych

- dedykowany układ dołączony do szyny systemu
- opóźnienia: procesor programuje długość opóźnienia, po zakończeniu układ zgłasza przerwanie
- pomiar czasu: wyzwalanie sygnałem zewnętrznym, po zakończeniu procesor odczytuje wynik

### Programowane układy czasowe

#### Układ Intel i8254

- struktura: trzy liczniki 16-bitowe + rejestr sterujący
- interfejs szyny: -RD, -WR, -CS, A0, A1
- niezależne taktowanie i bramkowanie zliczania
- zliczanie w dół na opadającym zboczach zegara
- zliczanie w kodzie binarnym lub BCD
- tryby pracy
  - 0 - licznik zdarzeń - przerwanie przy stanie 0
  - 1 - monowibrator wyzwalany sprzętowo - programowana długość impulsu
  - 2 - dzielnik częstotliwości - programowany współczynnik podziału
  - 3 - generator fali prostokątnej - programowany współczynnik podziału
  - 4 - generator pojedynczego impulsu - wyzwalania programowe
  - 5 - generator pojedynczego impulsu - wyzwalania sprzętowe
- uwagi eksploatacyjne
  - brak zerowania - konieczne inicjowanie bezpośrednio po starcie systemu
  - zatraskiwanie zawartości liczników przed odczytem
  - sterowanie: -CS nie później niż -RD lub -WR

#### Układ Zilog Z80-CTC

- struktura: cztery liczniki 8-bitowe z niezależnym sterowaniem
- interfejs szyny: -RD, -IORQ, -M1, A/B, C/D, -INT, IEI, IEO
- przerwania: jeden wektor modyfikowany zależnie od numeru licznika
- tryby pracy
  - zliczanie - taktowanie zewnętrznym zegarem CLK, ZC - zero count
  - opóźnienie - taktowanie zegarem systemowym (dzielonym przez 1/16/256), wyzwalanie sygnałem TRG (zbocze narastające lub opadające), TO - timeout

### Zegar czasu rzeczywistego

- struktura: generator podstawy czasu, zespół liczników, układy sterujące
- zasilanie: podtrzymanie bateryjne, bateria wewnętrzna lub zewnętrzna
- funkcje: data, godzina, minuta, sekunda, korekcja daty w latach przestępnych
- dodatkowe sygnały zewnętrzne - cykliczne zgłaszanie przerwań
- dodatkowa pamięć RAM z podtrzymaniem zawartości, pamięć ROM (identyfikator)
- przykład: Epson RTC72421

## Mikrokomputer jednoukładowy

### Zalety integracji

- zmniejszenie gabarytów i ciężaru urządzenia docelowego
- zmniejszenie poboru mocy → zasilanie bateryjne
- zmniejszenie długości połączeń → mniejsze zakłócenia
- zmniejszenie liczby wyprowadzeń zewnętrznych → mniejsza obudowa układu
- zwiększenie niezawodności
- zwiększenie szybkości działania
- zwiększenie odporności na kopiowanie
- dopasowanie do wymagań aplikacyjnych

### Typowe bloki funkcjonalne

- procesor (stałoprzecinkowy 8/16-bitowy) – 0..40 MHz
- pamięć kodu (ROM/EPROM/OTPROM/EEPROM/FLASH/NVRAM) – 0..60KB
- pamięć danych (SRAM/NVRAM/EEPROM) – 64B..2KB
- wejścia/wyjścia cyfrowe – 8..96 linii
- układy czasowe (1/2/3...) + watchdog
- interfejsy szeregowo UART (0/1/2)
- inne interfejsy szeregowo I2C, SPI, Microwire, CAN, ACCESS.bus,...)
- konwerter analogowo-cyfrowy (0..10 wejść, 4..10 bitów)
- wyjścia PWM (0..9)
- przerwania zewnętrzne (0..6) i wewnętrzne (0..5)
- inne: komparator analogowy, wyjścia o podwyższonej wydajności prądowej, wykrywanie zaniku zasilania, możliwość pracy z zasilaniem awaryjnym

### Układy Intel i80C51 i Philips 80C552

- struktura wewnętrzna i wyprowadzenia zewnętrzne
- współpraca z szyną - dostęp do pamięci kodu i danych
- działanie portów wejścia/wyjścia

### Przykładowy system mikroprocesorowy

- budowa: typowe elementy (pamięć, łącze szeregowo) + miejsce na układ aplikacyjny
- programowalny układ dekodujący układy zewnętrzne
- dostęp do wszystkich wyprowadzeń mikrokontrolera
- możliwość instalowania pamięci EPROM i SRAM różnych typów
- przycisk zerowania systemu
- zabezpieczenie przed odwrotną polaryzacją napięcia zasilania
- zasilanie napięciem niestabilizowanym (+9..12 V) lub stabilizowanym (+5 V)
- wskaźnik obecności napięcia zasilania
- możliwość blokowania układu watchdog
- możliwość sterowania przepływem danych w łączy szeregowym
- możliwość dołączenia napięć wzorcowych dla konwertera analogowo-cyfrowego

**Lista instrukcji mikrokomputera MSP430F1611**

- transfery  
MOV SWPB PUSH POP
- operacje arytmetyczne  
ADC ADD ADDC DADC DADD  
SBC SUB SUBC  
INC INCD DEC DECD
- operacje logiczne  
AND XOR CLR INV  
RLA RLC RRA RRC  
CMP TST BIT BIC BIS  
CLRC CLRN CLRZ  
SETC SETN SETZ SXT
- sterowanie  
BR JMP JN JGE JL  
JC/JHS JNC/JLO JEQ/JZ JNE/JNZ  
CALL RET  
DINT EINT RETI  
NOP

## Porównanie wybranych procesorów 16-bitowych

### Ulepszenia względem procesorów 8-bitowych

- usprawnienia współpracy z szyną (prefetch)
- dodatkowe tryby adresowania dla implementacji języków wysokiego poziomu
- dodatkowe instrukcje (np. mnożenie i dzielenie)
- przystosowanie do pracy w systemach wieloprocessorowych (semafory)

### Procesor Intel i8086/i8088

#### Charakterystyka ogólna

- interfejs szyny (BIU) działający współbieżnie z jednostką wykonawczą (EU)
- kolejka rozkazów (i8086 - 6 bajtów, i8088 - 4 bajty)
- dodatkowe instrukcje: mnożenie, dzielenie, operacje bitowe i BCD
- adresowanie natychmiastowe, bezpośrednie, pośrednie rejestrowe, bazowe, indeksowe, indeksowo-bazowe
- przedrostki: zmiana rejestru segmentowego, repetycja, zablokowanie szyny

#### Model programowy

- licznik rozkazów IP, wskaźnik stosu SP, wskaźnik bazy BP
- rejestry uniwersalne: AX, BX, CX, DX, F
- rejestry indeksowe: SI, DI
- rejestry segmentowe: CS, SS, DS, ES - relokacja, zarządzanie pamięcią
- adresowanie bajtowe: 16xsegment+offset, dostępy 8/16-bitowe
- znaczniki: S, Z, A, P, C - jak w i8080, dodatkowo: V (overflow), D (direction), I (interrupt enable), T (trap) - wspomaganie uruchamiania
- sytuacje wyjątkowe: instrukcja INT, pułapka, błąd dzielenia, nadmiar
- współpraca z koprocessorem: instrukcje ESC, WAIT
- start systemu od adresu FFFF0H

#### Wyprowadzenia zewnętrzne

- szyna danych 16 bitów, szyna adresowa 20 bitów - multipleksowane AD0..15
- sygnały dostępu zależą od trybu działania (tryb minimalny i maksymalny)
- przerwanie maskowalne (INTR) i niemaskowalne (NMI)
- transfery 8-bitowe i 16-bitowe rozróżniane stanem linii A0 i -BHE
- współpraca z koprocessorem: równoległe połączenie linii adresów i danych, zegara, wyjść stanu (QS);
- INT połączone z INTR, BUSY połączone z -TEST

#### Rozwój linii i8086

- 80186 - wzrost integracji, instrukcje ENTER, LEAVE
- 80286 - wielozadaniowość: ochrona pamięci, przełączanie zadań
- 80386 - jednostka zarządzania pamięcią, autotestowanie, pułapki sprzętowe
- 80486 - jednostka zmiennoprzecinkowa, pamięć podręczna
- 80586 - pamięci podręczne kodu i danych, dwa potoki wykonawcze

### Procesor Motorola MC68000

#### Charakterystyka ogólna

- regularna struktura 32-bitowa, ortogonalność operacji i trybów adresowania
- dwa tryby pracy: uprzywilejowany (systemowy) i podrzędny (użytkowy)
- adresowanie bajtowe, dostępy 8/16/32-bitowe
- rozbudowany układ współpracy z szyną - różne warianty zakończenia cyklu
- jednosłowna kolejka instrukcji

### Model programowy

- licznik rozkazów PC, rejestr stanu SR, dwa wskaźniki stosu – SSP i USP
- rejestry adresowe A0..7; A7 - wskaźnik stosu systemowego, A7' - wskaźnik stosu użytkownika
- rejestry danych D0..7
- adresowanie natychmiastowe, bezpośrednie, pośrednie, pośrednie z postinkrementacją, pośrednie z predekrementacją, bazowe, indeksowe, względne, względne indeksowe (brak PUSH, POP i instrukcji łańcuchowych)
- dodatkowe Instrukcje: pułapka (TRAP), sprawdzanie zakresu (CHK), przesyłanie wielu rejestrów (MOVEM), przekazywanie parametrów funkcji (LINK, UNLINK), zerowanie układów zewnętrznych (RESET)
- znaczniki użytkownika: X, N, Z, V, C
- znaczniki systemowe: T (trace), S (supervisor), I (interrupt mask)
- start systemu (-RESET/-HALT): pobranie systemowego wskaźnika stosu (długie słowo od adresu 0) i licznika rozkazów (długie słowo od adresu 4)

### Wyprowadzenia zewnętrzne

- szyna danych 16 bitów
- szyna adresowa 24 bity
- sygnały sterujące: -AS, R/-W, -UDS, -LDS, -DTACK
- obsługa przerwań: 6 poziomów maskowalnych i przerwanie niemaskowalne

### Zakończenie cyklu szyny

- normalne zakończenie (-DTACK)
- wydłużenie cyklu (-HALT)
- błąd szyny (-BERR)
- powtórzenie cyklu (-HALT/-BERR)

### Sytuacje wyjątkowe

- nielegalny kod instrukcji
- naruszenie uprzywilejowania
- błąd adresu,
- dzielenie przez zero
- rozkazy TRAP, CHK
- praca krokowa (znacznik T)
- przerwanie
- błąd szyny
- zerowanie procesora

### Obsługa sytuacji wyjątkowej

- zapamiętanie rejestru stanu
- przejście do trybu systemowego (S=1)
- wyłączenie śledzenia (T=0)
- aktualizacja maski przerwań (jeśli obsługa przerwania)
- określenie numeru sytuacji wyjątkowej N (odczyt wektora przerwania)
- odłożenie na stos zapamiętanego rejestru stanu i licznika rozkazów
- pobranie wektora (długie słowo od adresu 4N)
- wykonanie procedury obsługi od adresu zapisanego w wektorze
- wykonanie instrukcji RTE - odtworzenie stanu procesora

### Rozwój linii MC68000

- 68008/68010 - różne wersje 68000
- 68020 - pamięć podręczna kodu, interfejs koprocesora
- 68030 - jednostka zarządzania pamięcią
- 68040 - jednostka zmiennoprzecinkowa

## Bezpośredni dostęp do pamięci - DMA

### Wprowadzenie

#### Podstawy

- problem: szybkie przesłanie ciągłego bloku danych (z pamięci do urządzenia wejścia/wyjścia, z urządzenia do pamięci lub z pamięci do pamięci)
- programowa obsługa transmisji
  - przesyłanie pojedynczych bajtów
  - instrukcje łańcuchowe - wielokrotne pobranie kodu
  - instrukcje blokowe - jednokrotne pobranie kodu
- transmisja może być przyspieszona kosztem dodatkowych nakładów sprzętowych (sterownik bezpośredniego dostępu do pamięci)
  - liczniki - liczenie bajtów (słów), wytwarzanie adresów
  - automat sterujący - wytwarzanie sygnałów dostępu

#### Przebieg transmisji

- programowanie: adres startowy, adres docelowy, długość bloku, tryb pracy
- żądanie przeprowadzenia transmisji - z urządzenia do sterownika
- żądanie zwolnienie szyny systemu - ze sterownika do procesora
- zezwolenie na przejęcie szyny - z procesora do sterownika
- zezwolenie na przeprowadzenie transferu - ze sterownika do urządzenia
- transmisja danych pod kontrolą sterownika DMA
- wycofanie żądania zwolnienia szyny
- przywrócenie kontroli procesora nad szyną

#### Tendencje rozwojowe

- wykorzystanie mechanizmu DMA wewnątrz procesorów (DSP, transputery)
- zanik zewnętrznych sterowników DMA (przyspieszenie działania procesorów)

### Sterownik Intel i8237

#### Budowa i funkcje

- cztery niezależne kanały z możliwością kaskadowania
- możliwość przerywania transmisji sygnałem zewnętrznym
- przesłania bajtowe (słowne) - po jednym cyklu, blokowe - do wyzerowania licznika danych, warunkowe - dopóki aktywne żądanie transmisji, kaskadowanie - bez generowania adresów
- interfejs szyny: -IOR, -IOW, -MEMR, -MEMW, -CS, AO..7, CLK, READY
- zewnętrzny zatrząsk adresowy: stan linii A0..7 przesyłany na A8..15
- podstawowy cykl szyny - 3 takty (z zatrząskiwaniem adresu - 4 takty)
- skrócony cykl szyny - 2 takty (z zatrząskiwaniem adresu - 3 takty)

#### Programowanie

- 16 lokacji adresowych w przestrzeni układów wejście/wyjścia
- tryby pracy: pamięć - we/wy, we/wy - pamięć, pamięć - pamięć
- priorytet zgłoszeń ustalony lub rotujący (0 – najwyższy priorytet)
- maskowanie zgłoszeń, blokowanie kanałów
- programowana polaryzacja sygnałów zgłoszenia żądania i potwierdzenia przyjęcia żądania transmisji
- możliwość programowego inicjowania transmisji i automatycznej reinicjalizacji parametrów po zakończeniu transferu
- programowane parametry czasowe cyklu transmisji (długość cyklu, sterowanie zapisem)

#### Uwagi eksploatacyjne

- w trybie nadrzędnym stan linii -CS jest nieistotny
- w cyklach pamięć - we/wy i we/wy - pamięć aktywne są stroby zapisu i odczytu
- adres w cyklu DMA dotyczy zawsze pamięci - układy we/wy muszą być wybierane na podstawie sygnałów potwierdzenia transmisji w odpowiednich kanałach

#### Sterownik Zilog Z80-DMA

- jeden kanał - symetryczne przesłania/porównania pomiędzy pamięcią i układami wejścia/wyjścia
- interfejs szyny: -RD, -WR, -IORQ, -MREQ, -RD, -WR, -M1, -CE, CLK, -INT, IEI, IEO, -BAI, -BAO
- jedna lokacja adresowa: 21 rejestrów do zapisu, 7 rejestrów do odczytu
- transmisja przeplatana, blokowa i wstrzymywana
- porównywanie z wzorcem (możliwość maskowania bitów)
- programowany czas trwania cyklu (2/3/4 takty) i czas trwania aktywnego stanu sygnałów sterujących - IORQ, -MREQ, -RD, -WR
- szeregowy arbitraż dostępu do szyny: -BAI, -BAO
- przerwania: jeden wektor przerwania modyfikowany zależnie od przyczyny (4)
- sygnalizacja przebiegu transmisji: impuls na linii -INT po przesłaniu 1..256 bajtów



# Procesory specjalizowane

## Specjalizacja funkcji

Przyczyny specjalizacji - wymagania aplikacyjne

- grafika (monitory, drukarki): generowanie, analiza i kompresja obrazów
- przetwarzanie sygnałów (radarowych, sejsmicznych, akustycznych): filtracja cyfrowa, FFT, kodowanie, utajnianie
- monitorowanie i sterowanie obiektów

Warianty specjalizacji

- ustalone funkcje (np. układy mnożące)
- konfigurowane parametry (np. filtry cyfrowe)
- działanie sterowane rozkazami (np. sterowniki graficzne)
- działanie programowane: procesory, koprocesory

Przejawy specjalizacji

- organizacja procesora: rodzaj i liczba bloków, zasady współpracy
- model programowy: dedykowane rejestry, tryby adresowania, instrukcje
- współpraca z otoczeniem: wyprowadzenia zewnętrzne

## Procesor sygnałowy

Wprowadzenie

- początki: 1982 - Texas Instruments - TMS32010
- inni producenci: Harris, Thomson / Inmos, LSI Logic, Motorola, AT&T, AMD, NEC, Hitachi, Zoran
- tendencje: stały przecinek → zmienny przecinek, wzrost mocy obliczeniowej

Procesory rodziny TMS320

- zmodyfikowana architektura Harvard: rozdzielone przestrzenie adresowe kodu i danych z możliwością przesyłania między nimi
- integracja funkcjonalna
  - wewnętrzna pamięć ROM / EPROM i RAM (program i dane)
  - układy czasowe i transmisyjne (szeregowe, równoległe)
- dodatkowe układy wykonawcze
  - układ mnożący - mnożenie z dodawaniem/odejmowaniem w jednym cyklu
  - dedykowana jednostka arytmetyczna do operacji na adresach
  - dedykowana jednostka do operacji logicznych ('C50)
  - układy przesuujące: skalowanie operandów i wyników
- dodatkowe tryby adresowania
  - autoinkrementacja, autodekrementacja
  - adresowanie rewersyjne (odwrotna propagacja przeniesień - FFT)
  - bufor cykliczny ('C50)
- przyspieszenie działania
  - współbieżne działanie jednostek wykonawczych
  - kolejka instrukcji
  - wewnętrzny stos śladu
  - adresowanie domniemanym rejestrem
  - powtarzanie bloku instrukcji
  - przełączanie banków rejestrów ('C50)

## Procesor graficzny

### Wprowadzenie

- różne rodzaje wspomagania operacji graficznych
- procesory Intel i82786, i860, Texas Instruments TMS34010

### Procesor TMS34020

- architektura
  - stałoprzecinkowy procesor 32-bitowy
  - możliwość współpracy z koprocesorem zmiennoprzecinkowym TMS34082
  - pamięć podręczna programu
  - sygnalizacja błędu szyny (wspomaganie wirtualizacji pamięci)
  - dynamiczna zmiana szerokości szyny danych (16/32 bity)
  - interfejs procesora nadrzędnego
- wspomaganie przetwarzania graficznego
  - adresowanie bitowe, adresowanie X, Y
  - operacje na polach bitowych 1..32 bity
  - preclipping: obcinanie w oknie
  - reprezentacja piksela: 1/2/4/8/16/32 bity
  - operacje arytmetyczne i logiczne
- współpraca z otoczeniem
  - bezpośrednie sterowanie układów DRAM i VRAM
  - wytwarzanie sygnałów wygaszania i synchronizacji
  - sterowanie szyn zewnętrznymi

# Projektowanie i uruchamianie systemów mikroprocesorowych

## Historia techniki mikroprocesorowej

- 1971 – Intel i4004                                 2'000 tranzystorów
- 1976 – Zilog Z80
- 1978 – Intel i8086                               30'000 tranzystorów
- 1982 – Intel i80186
- 1984 – Intel i80286
- 1986 – Intel i80386                             275'000 tranzystorów
- 1988 – Intel i80486
- 1989 – Intel i860                               1'000'000 tranzystorów
- 1993 – Intel P5
- 1995 – Intel P6                                 10'000'000 tranzystorów
- 1997 – Intel Pentium II
- 1999 – Intel Pentium III
- 2000 – Intel Pentium 4
- 2001 – Intel Itanium
- 2002 – Intel Itanium 2
- 2008 – Intel Itanium 2 Tukwila             2'000'000'000 tranzystorów

## Czynniki warunkujące rozwój techniki mikroprocesorowej

- postępy w technologii wytwarzania układów VLSI (procesory, sterowniki, pamięci półprzewodnikowe)
- nowe rozwiązania w dziedzinie architektury komputerów
- postęp w technologii wytwarzania pamięci masowych (dyski) i układów wejścia/wyjścia (wyświetlacze)

## Postępy technologii VLSI

- wzrost złożoności układów: 1.6..2 razy co roku
  - zmniejszenie wymiarów struktur (8 $\mu$ m->0.3 $\mu$ m)
  - ulepszone metody łączenia (2 lub 3 warstwy metalizacji)
  - uproszczenie układów (technologia dynamiczna)
- wzrost szybkości działania: ok. 20% co roku
  - wzrost upakowania → krótsze połączenia
  - powielanie zegara (486DX2, DX4...)
  - zmniejszenie amplitudy sygnałów 5V → 3V → 1V...
- spadek cen układów
  - układy programowane → mogą pełnić różne funkcje → długie serie
  - wzrost powierzchni układu + wzrost upakowania → spadek uzysku → nowe techniki testowania + redundancja → wzrost uzysku

## Współczesne tendencje

- wzrost skali integracji i przyspieszenie działania układów scalonych
- standaryzacja interfejsów i protokołów komunikacyjnych
- obniżanie napięć zasilania i poboru mocy
- wzrost wydajności procesorów
- podział na procesory specjalizowane i uniwersalne

## Projektowanie systemów mikroprocesorowych

### Wymagania

- przeznaczenie urządzenia - komu i do czego ma służyć?
- funkcje podstawowe i dodatkowe - jak ma działać?
- podatność na modyfikacje - wersje wykonania?
- interakcja z użytkownikiem - odczyt stanu? programowanie?
- interakcja z otoczeniem - sterowanie? łącza transmisji danych?
- środowisko eksploatacji - jakie narażenia? zakres temperatur? wilgotność?
- niezawodność i czas reakcji systemu - redundancja? czas rzeczywisty?
- zgodność z istniejącymi rozwiązaniami - co i z czym ma być zgodne? w jakim zakresie?
- kryterium optymalizacji - czas opracowania? koszt opracowania? koszt jednostkowy? gabaryty? pobór mocy? odporność na zakłócenia? odporność na kopiowanie?

### Założenia

- podział na część stałą i fragmenty zależne od wersji
- podział zadań pomiędzy sprzęt i oprogramowanie
- liczba i typ procesorów
- struktura połączeń
- wbudowana diagnostyka

### Zagadnienia szczegółowe

- zasilanie główne i awaryjne, sygnalizacja zaniku zasilania
- podtrzymanie zasilania, przełączanie zasilania, wymiana baterii
- odzyskiwanie kontekstu po awarii - watchdog
- transmisja danych
- zegar czasu rzeczywistego
- język programowania
- środowisko programowania

## Uruchamianie systemów mikroprocesorowych

### Narzędzia

- sonda logiczna: sygnalizacja stanów logicznych (typowo TTL/HCMOS), wykrywanie impulsów, zliczanie impulsów, wytwarzanie impulsów
- oscyloskop: wyzwalenie wewnętrzne i zewnętrzne, lupa czasowa
- analizator stanów: analiza stanów, deasemblacja, analiza czasowa, programowane poziomy logiczne, warunki wyzwolenia i zapisu, grupowanie i opisy kanałów
- emulator procesora: sonda montowana w podstawce procesora - możliwość pracy krokowej i pułpkowania oraz monitorowania i modyfikowania stanu rejestrów
- emulator pamięci EPROM: sonda montowana w podstawce pamięci nieulotnej - możliwość modyfikowania zawartości pamięci bez wielokrotnego programowania układów EPROM
- analizator sygnatur: rozróżnianie poprawnych i niepoprawnych sekwencji stanów
- symulator procesora: oprogramowanie symulujące działanie procesora – umożliwia wygodną weryfikację poprawności programu sterującego bez konieczności jego wykonywania w docelowym środowisku; niekiedy symulacja obejmuje także typowe układy peryferyjne
- programator: zapisywanie zawartości pamięci nieulotnej – stanowiącej oddzielny układ, wchodzącej w skład mikrokontrolera lub sterującej działaniem układu programowalnego

### Przystosowanie urządzenia do uruchamiania

- kiedy jest potrzebne: uruchamianie, identyfikacja uszkodzeń, testowanie po naprawie
- punkty testowe - ułatwiony dostęp do istotnych sygnałów
- POST - autotest przy starcie systemu - co warto testować przy każdym włączeniu?
- BIST - diagnostyczny tryb pracy urządzenia - co w ogóle da się wytestować?